

## 10PIN, 24bit, 192kHz 立体声 D/A 转换器

### 特点:

- ❑ Muti-bit  $\Delta \Sigma$  调制器
- ❑ 24bit 转换器
- ❑ 自动检测采样速率可达 192KHz
- ❑ 105dB 动态范围
- ❑ -90dB THD+N
- ❑ 低时钟抖动敏感度
- ❑ 3.3V 或 5V 工作电压
- ❑ 滤波输出
- ❑ 片上数字去加重
- ❑ 去 POP 技术
- ❑ 小封装: MSOP10

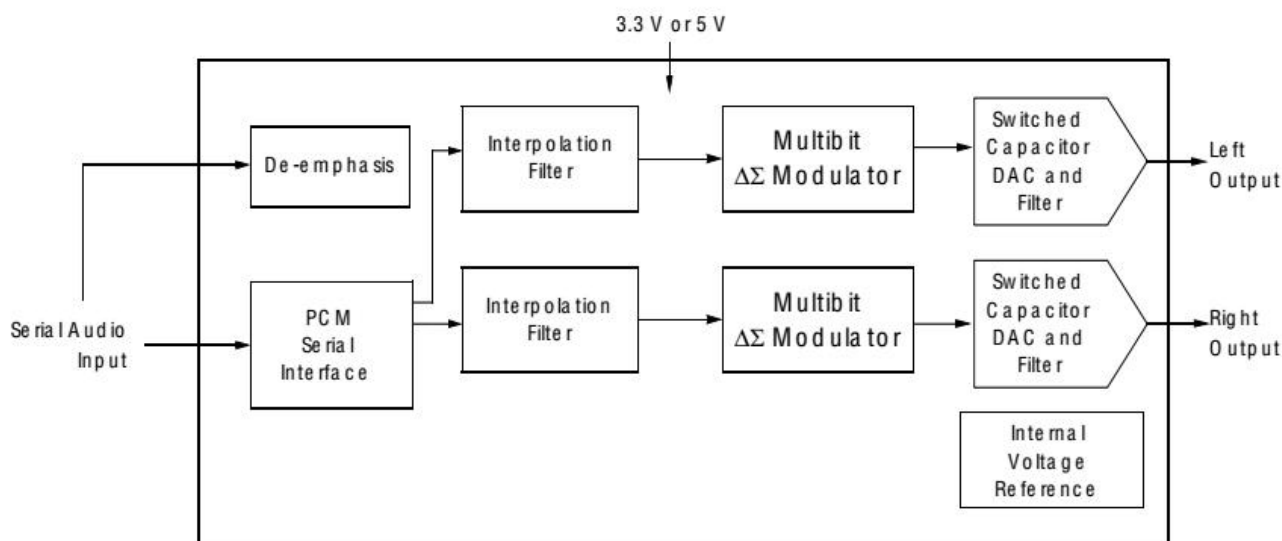
### 概述:

GC4344 是一款立体声音频数模转换芯片, 内部集成数字插值滤波器、multi-bit 数模转换器、输出模拟滤波器。GC4344 支持大部分的音频数据格式。

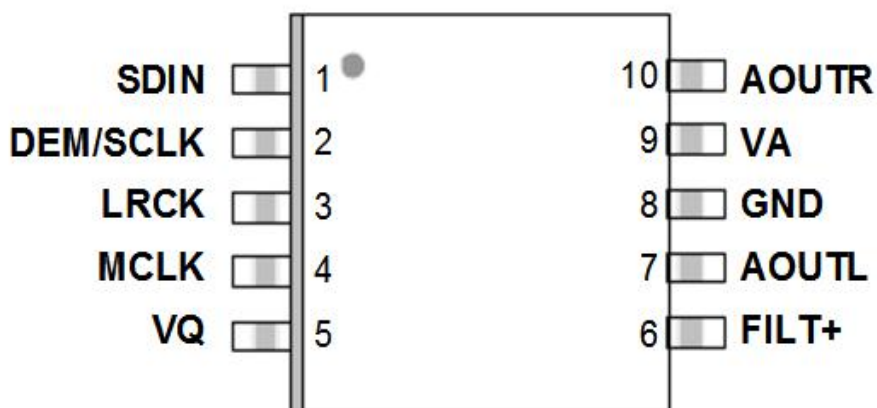
GC4344 基于一个线性模拟低通滤波器的四阶 multi-bit  $\Delta - \Sigma$  调制器, 而且可以通过检测信号频率和主时钟频率, 在 2KHz 和 200KHz 之间自动调节数据采样率。

GC4344 内部集成数字去加重模块, 可工作在 +3.3V 和 +5V 下。这些特性使它成为 DVD 播放解码器、数字通信设备等音频设备的理想选择。

GC4344 采用 MSOP10 封装。



## 1. 管脚排列图



名称	#	管脚描述
SDIN	1	串行音频数据输入端
DEM /SCLK	2	外部串行时钟输入端口
LRCK	3	左/右时钟端口
MCLK	4	主时钟端口
VQ	5	直流电压
FILT+	6	正的参考电压
AOUTL	7	模拟左通道输出端口
GND	8	地
VA	9	模拟电源
AOUTR	10	模拟右通道输出端口

## 2. 特性描述

推荐工作条件

参数	符号	最小值	典型值	最大值	单位
工作电压	VA	4.75	5.0	5.25	V
		3.00	3.3	3.47	V
工作温度	TA	-10	-	70	°C
		-40	-	85	°C

极限参数:

参数	符号	最小值	典型值	最大值	单位
工作电压	VA	-0.3V		6.0 V	V
输入电流	I <sub>in</sub>			±10	mA
数字输入电压	V <sub>IND</sub>	-0.3		VA+0.4	V
工作温度	T <sub>op</sub>	-55		125	°C
存储温度	T <sub>stg</sub>	-65	-	150	°C

DAC 特性 (TA = 25°C, 满幅输出正弦信号, 997Hz, Fs=48/96/192kHz; RL = 3kΩ, CL = 10pF)

Parameter			5 V Nom			3.3 V Nom			Unit
			Min	Typ	Max	Min	Typ	Max	
<b>Dynamic Performance for -CZZ (-10 to 70°C)</b>									
Dynamic Range	18 to 24-Bit	A-weighted	99	105	-	97	103	-	dB
		unweighted	96	102	-	94	100	-	dB
	16-Bit	A-weighted	90	96	-	90	96	-	dB
		unweighted	87	93	-	87	93	-	dB
<b>Total Harmonic Distortion + Noise</b>									
18 to 24-Bit	0 dB	-	-95	-89	-	-95	-89	dB	
	-20 dB	-	-82	-76	-	-80	-74	dB	
	-60 dB	-	-42	-36	-	-40	-34	dB	
16-Bit	0 dB	-	-93	-87	-	-93	-87	dB	
	-20 dB	-	-73	-67	-	-73	-67	dB	
	-60 dB	-	-33	-27	-	-33	-27	dB	
<b>Dynamic Performance for -DZZ (-40 to 85°C)</b>									
Dynamic Range	18 to 24-Bit	A-weighted	95	105	-	93	103	-	dB
		unweighted	92	102	-	90	100	-	dB
	16-Bit	A-weighted	86	96	-	86	96	-	dB
		unweighted	83	93	-	83	93	-	dB
<b>Total Harmonic Distortion + Noise</b>									
18 to 24-Bit	0 dB	-	-95	-85	-	-95	-85	dB	
	-20 dB	-	-82	-72	-	-80	-70	dB	
	-60 dB	-	-42	-32	-	-40	-30	dB	
16-Bit	0 dB	-	-93	-83	-	-93	-83	dB	
	-20 dB	-	-73	-63	-	-73	-63	dB	
	-60 dB	-	-33	-23	-	-33	-23	dB	

DAC 模拟参数性能-所有模式

Parameter	Symbol	Min	Typ	Max	Unit
Interchannel Isolation (1 kHz)		-	100	-	dB
<b>DC Accuracy</b>					
Interchannel Gain Mismatch		-	0.1	0.25	dB
Gain Drift		-	100	-	ppm/°C
<b>Analog Output</b>					
Full Scale Output Voltage		0.60•VA	0.65•VA	0.70•VA	Vpp
Quiescent Voltage	V <sub>Q</sub>	-	0.5•VA	-	VDC
Max DC Current draw from an AOUT pin	I <sub>OUTmax</sub>	-	10	-	μA
Max Current draw from VQ	I <sub>Qmax</sub>	-	100	-	μA
Max AC-Load Resistance	R <sub>L</sub>	-	3	-	kΩ
Max Load Capacitance	C <sub>L</sub>	-	100	-	pF
Output Impedance	Z <sub>OUT</sub>	-	100	-	Ω

Parameter	Symbol	Min	Typ	Max	Unit
<b>Combined Digital and On-chip Analog Filter Response</b>		<b>Single Speed Mode</b>			
Passband	to -0.05 dB corner to -3 dB corner	0	-	.4780	Fs
		0	-	.4996	Fs
Frequency Response 10 Hz to 20 kHz		-.01	-	+0.08	dB
StopBand		.5465	-	-	Fs
StopBand Attenuation		50	-	-	dB
Group Delay	tg <sub>d</sub>	-	10/Fs	-	s
De-emphasis Error	Fs = 32 kHz	-	-	+1.5/+0	dB
	Fs = 44.1 kHz	-	-	+0.05/-0.25	dB
	Fs = 48 kHz	-	-	-.2/-0.4	dB
<b>Combined Digital and On-chip Analog Filter Response</b>		<b>Double Speed Mode</b>			
Passband	to -0.1 dB corner to -3 dB corner	0	-	.4650	Fs
		0	-	.4982	Fs
Frequency Response 10 Hz to 20 kHz		-.05	-	+0.2	dB
StopBand		.5770	-	-	Fs
StopBand Attenuation		55	-	-	dB
Group Delay	tg <sub>d</sub>	-	5/Fs	-	s
<b>Combined Digital and On-chip Analog Filter Response</b>		<b>Quad Speed Mode</b>			
Passband	to -0.1 dB corner to -3 dB corner	0	-	0.397	Fs
		0	-	0.476	Fs
Frequency Response 10 Hz to 20 kHz		0	-	+0.00004	dB
StopBand		0.7	-	-	Fs
StopBand Attenuation		51	-	-	dB
Group Delay	tg <sub>d</sub>	-	2.5/Fs	-	s

## 数字输入特性

Parameters	Symbol	Min	Typ	Max	Units
High-Level Input Voltage (% of VA)	V <sub>IH</sub>	55%	-	-	V
Low-Level Input Voltage (% of VA)	V <sub>IL</sub>	-	-	30%	V
Input Leakage Current (Note 7)	I <sub>in</sub>	-	-	±10	μA
Input Capacitance		-	8	-	pF

## 功耗和热参数

Parameters	Symbol	5 V Nom			3.3 V Nom			Units	
		Min	Typ	Max	Min	Typ	Max		
<b>Power Supplies</b>									
Power Supply Current	normal operation	I <sub>A</sub>	-	22	30	-	16	21	mA
	power-down state	I <sub>A</sub>	-	220	-	-	100	-	μA
Power Dissipation	normal operation		-	110	150	-	53	69	mW
	power-down state		-	1.1	-	-	0.33	-	mW
Package Thermal Resistance	θ <sub>JA</sub>	-	95	-	-	95	-	°C/Watt	
Power Supply Rejection Ratio (Note 8)	(1 kHz)	PSRR	-	60	-	-	60	-	dB
	(60 Hz)		-	40	-	-	40	-	dB

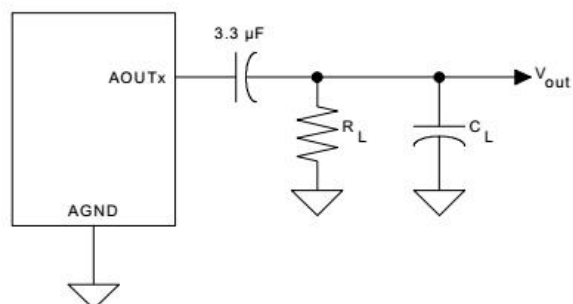


图 1 输出测试电路

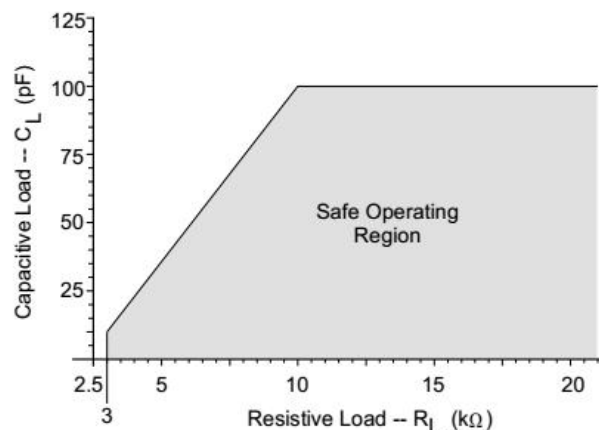


图 2 最大负载

开关特性-音频数据输入

Parameters	Symbol	Min	Typ	Max	Units
MCLK Frequency		0.512	-	50	MHz
MCLK Duty Cycle		45	-	55	%
Input Sample Rate All MCLK/LRCK ratios combined (Note 11)	256x, 384x, 1024x	2		200	kHz
	256x, 384x	2		50	kHz
	512x, 768x	84		134	kHz
	512x, 768x	42		67	kHz
	1152x	30		34	kHz
	128x, 192x	50		100	kHz
	64x, 96x	100		200	kHz
128x, 192x	168		200	kHz	
<b>External SCLK Mode</b>					
LRCK Duty Cycle (External SCLK only)		45	50	55	%
SCLK Pulse Width Low	$t_{sclk\ell}$	20	-	-	ns
SCLK Pulse Width High	$t_{sclkh}$	20	-	-	ns
SCLK Duty Cycle		45	50	55	%
SCLK rising to LRCK edge delay	$t_{sldr}$	20	-	-	ns
SCLK rising to LRCK edge setup time	$t_{slrs}$	20	-	-	ns
SDIN valid to SCLK rising setup time	$t_{sd\ell rs}$	20	-	-	ns
SCLK rising to SDIN hold time	$t_{sdh}$	20	-	-	ns
<b>Internal SCLK Mode</b>					
LRCK Duty Cycle (Internal SCLK only)		-	50	-	%
SCLK Period	$t_{sclkw}$	$\frac{10^9}{SCLK}$	-	-	ns
SCLK rising to LRCK edge	$t_{scler}$	-	$\frac{t_{sclkw}}{2}$	-	μs
SDIN valid to SCLK rising setup time	$t_{sd\ell rs}$	$\frac{10^9}{(512)Fs} + 10$	-	-	ns
SCLK rising to SDIN hold time MCLK / LRCK = 1152, 1024, 512, 256, 128, or 64	$t_{sdh}$	$\frac{10^9}{(512)Fs} + 15$	-	-	ns
SCLK rising to SDIN hold time MCLK / LRCK = 768, 384, 192, or 96	$t_{sdh}$	$\frac{10^9}{(384)Fs} + 15$	-	-	ns

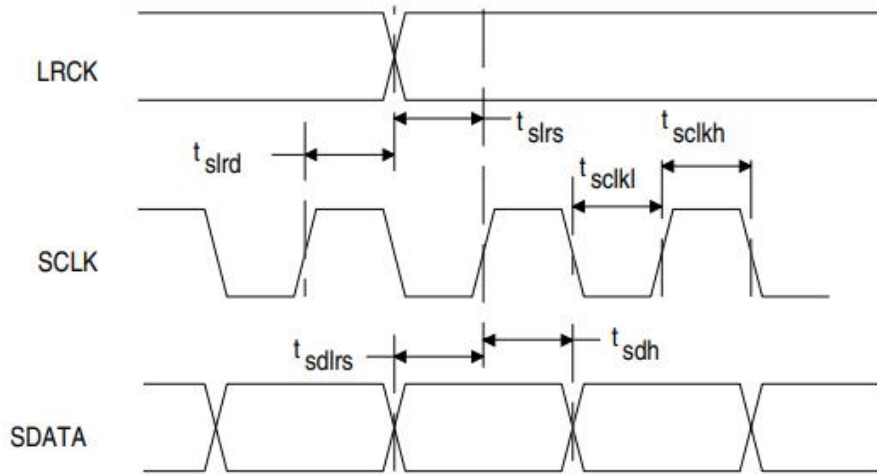


图 3. 外接串行时钟下的输入时序

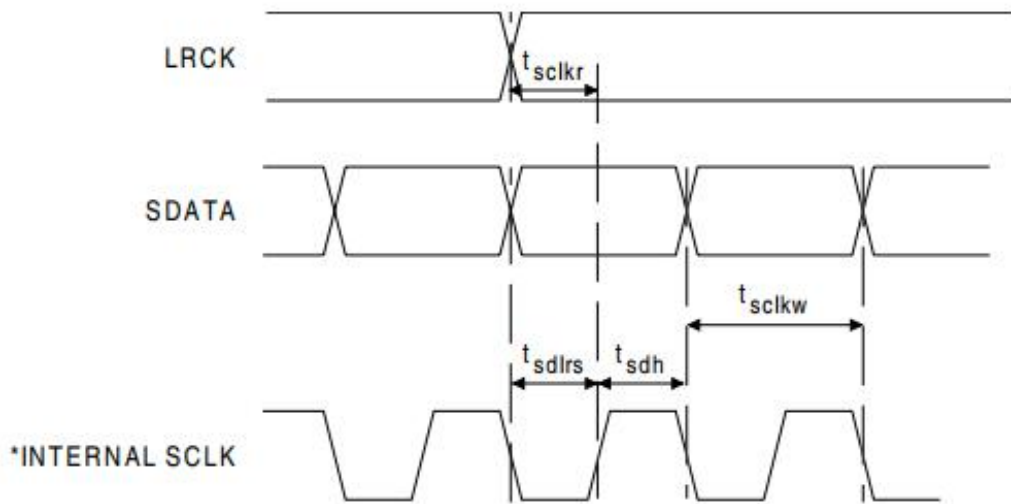


图 4. 内接串行时钟下的输入时序

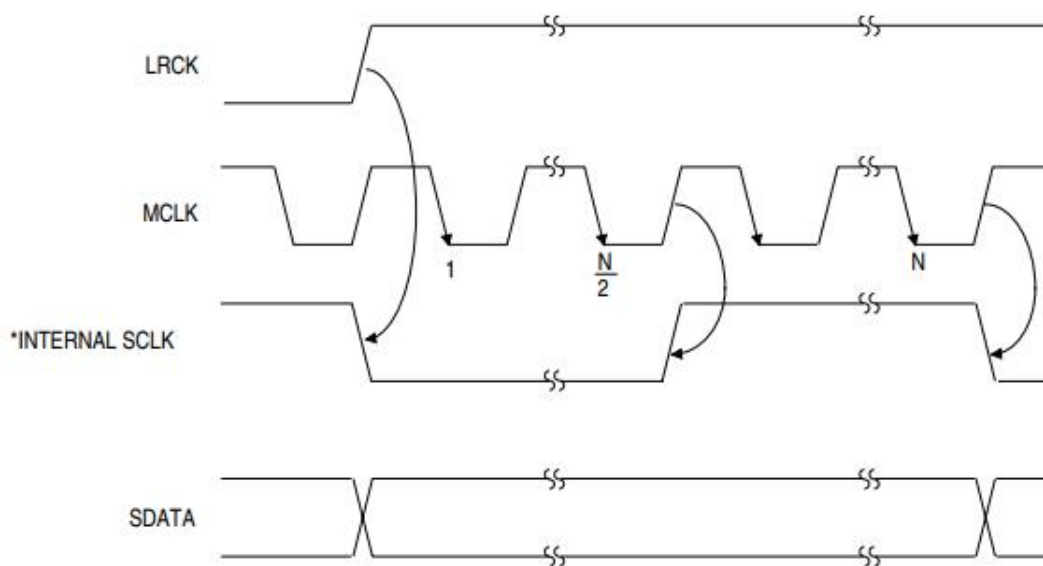


图 5. 内接串行时钟的产生

## 3. 典型连接图

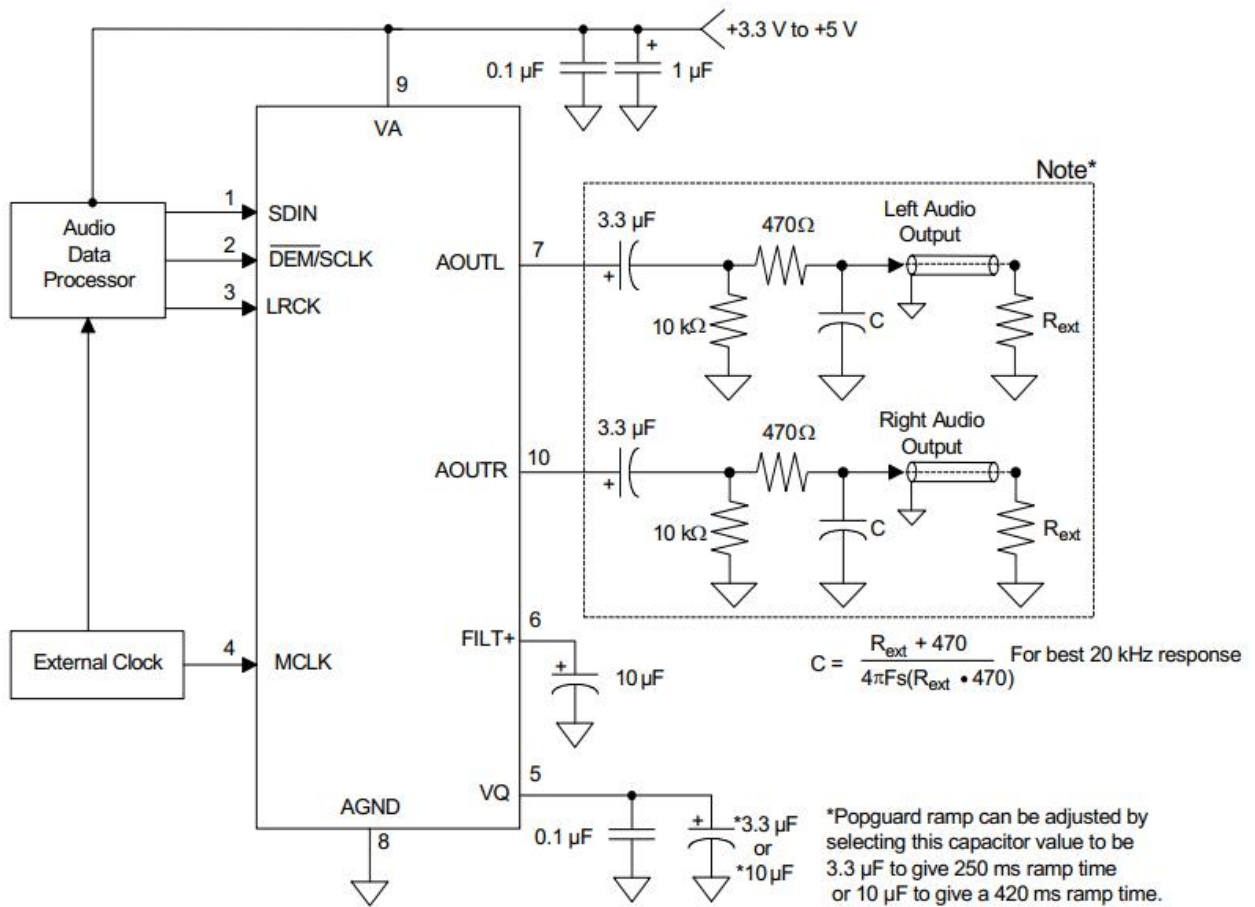


图 6 典型连接示意图

## 4. 应用

GC4344 接收标准的音频数据，采样速率包括在 SSM 模式下的 48、44.1、32kHz，在 DSM 模式下的 96、88.2、64kHz，在 QSM 模式下的 192、176.4、128kHz。音频数据通过串行输入数据端输入（SDIN）。左/右通道时钟（LRCK）决定当前输入数据的通道。串行时钟是音频数据进入输入数据缓存的时钟。

### 4.1 主时钟

MCLK/LRCK 的比值必须是整数倍，见表 1 描述。LRCK 的频率等于每个通道输入数据的频率  $F_s$ 。MCLK/LRCK 的比值和速度检测是芯片在初始化时通过计算在一个 LRCK 周期内 MCLK 的个数以及 MCLK 的值来决定的。内置的除法器会产生合适的时钟。表 1 列出了一些音频采样频率，以及相应的 MCLK 和 LRCK 频率。请注意虽然没有相位的要求，但是要求 LRCK 和 SCLK 必须同步。

LRCK (kHz)	MCLK (MHz)									
	64x	96x	128x	192x	256x	384x	512x	768x	1024x	1152x
32	-	-	-	-	8.1920	12.2880	-	-	32.7680	36.8640
44.1	-	-	-	-	11.2896	16.9344	22.5792	33.8680	45.1580	-
48	-	-	-	-	12.2880	18.4320	24.5760	36.8640	49.1520	-
64	-	-	8.1920	12.2880	-	-	32.7680	49.1520	-	-
88.2	-	-	11.2896	16.9344	22.5792	33.8680	-	-	-	-
96	-	-	12.2880	18.4320	24.5760	36.8640	-	-	-	-
128	8.1920	12.2880	-	-	32.7680	49.1520	-	-	-	-
176.4	11.2896	16.9344	22.5792	33.8680	-	-	-	-	-	-
192	12.2880	18.4320	24.5760	36.8640	-	-	-	-	-	-
<b>Mode</b>	<b>QSM</b>				<b>DSM</b>			<b>SSM</b>		

表 1. 时钟频率

### 4.2 串行输入时钟

串行时钟控制移入输入缓冲器的数据，GC4344 支持外部时钟和内部时钟模式。

#### 4.2.1 外部串行输入时钟

当在一个 LRCK 周期内，在 SCLK 端口连续检测到 16 个上升沿脉冲时就进入外部串行输入时钟，在这个模式下，内部串行模式和去加重模式是被屏蔽的。当 SCLK 端口连续 2 个 LRCK 周期没有检测到上升沿脉冲时，系统就进入内部串行输入时钟模式。

#### 4.2.2 内部串行输入时钟

在内部串行输入时钟模式下，串行输入时钟由芯片内部产生，并且和 MCLK 和 LRCK 同步。SCLK/LRCK 的比值可以是 32、48、64 或者 72，这取决于输入数据的格式。在这个模式下允许使用数字去加重功能。

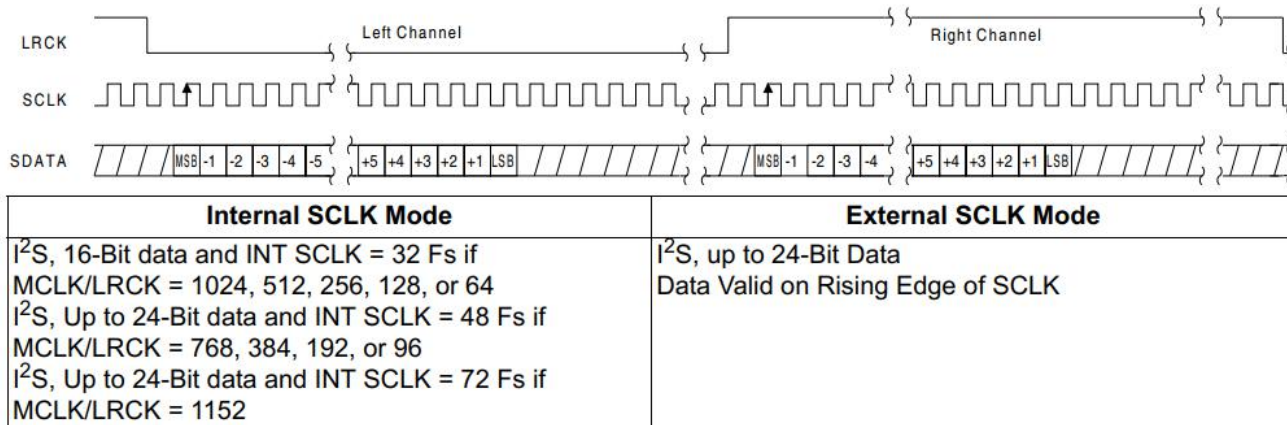


图 7 GC4344 数据格式(I2S)



### 4.3 去加重

GC4344 含有片上数字去加重功能，图 8 显示了在  $F_s$  为 44.1kHz 时的去加重曲线。当 DEM /SCLK 端口连续 5 个 LRCK 下降沿保持低电平时，去加重滤波器才启动。这个功能只有在内部串行时钟模式下才有效。

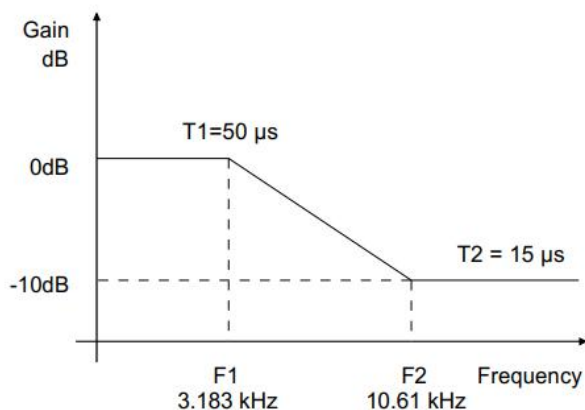


图 8.去加重曲线 ( $F_s = 44.1\text{kHz}$ )

### 4.4 初始化和 Power-Down

初始化和 Power-Down 的顺序见图 9。当系统初始上电后就进入 power-down 状态，此时插值滤波器和  $\Delta\Sigma$  调制器复位，内部参考电压、数模转换器、开关电容滤波器、低通滤波器被关闭，直到系统检测到 MCLK 和 LRCK 时钟。一旦 MCLK 和 LRCK 被检测到，系统就开始计算 MCLK 和 LRCK 的比值，然后给内部参考电压上电，最后才给数模转换器、开关电容滤波器上电，而输出端输出静态电压 VQ。

### 4.5 输出瞬态控制

GC4344 采用 Popguard 技术来减小在上电和下电过程中产生的 POP 声。这种技术减小了单电源供电的音频 DAC 输出采用 DC 电容耦合技术产生的 POP 声。要利用此特性，需要理解其工作原理。

#### 4.5.1 上电

当系统初始上电时，输出端的直流电平就由 VQ 端提供，此时 VQ 端为低电平。当 MCLK 检测到后，VQ 端就产生正常的直流电压。当 VQ 端接 3.3uF 电容时，这个过程需 250ms(10uF 电容需 420ms)。当 LRCK 和 SDIN 产生后大约 2000 个采样周期后，音频信号才开始输出。

#### 4.5.2 下电

为了防止在下电时产生瞬态脉冲，在下电前必须是直流缓冲电容完全放电。当 VQ 端外接 3.3uF 电容时，MCLK 必须在下电前 250ms 停止(10uF 电容需 420ms)，在这段时间内 VQ 端和输出端逐渐下降到 GND。当需要改变时钟频率或采样频率时，最好在 SDIN 端输入最少 10 个 LRCK 周期的 0 信号。在时钟变换的过程中，DAC 将保持 0 输出。

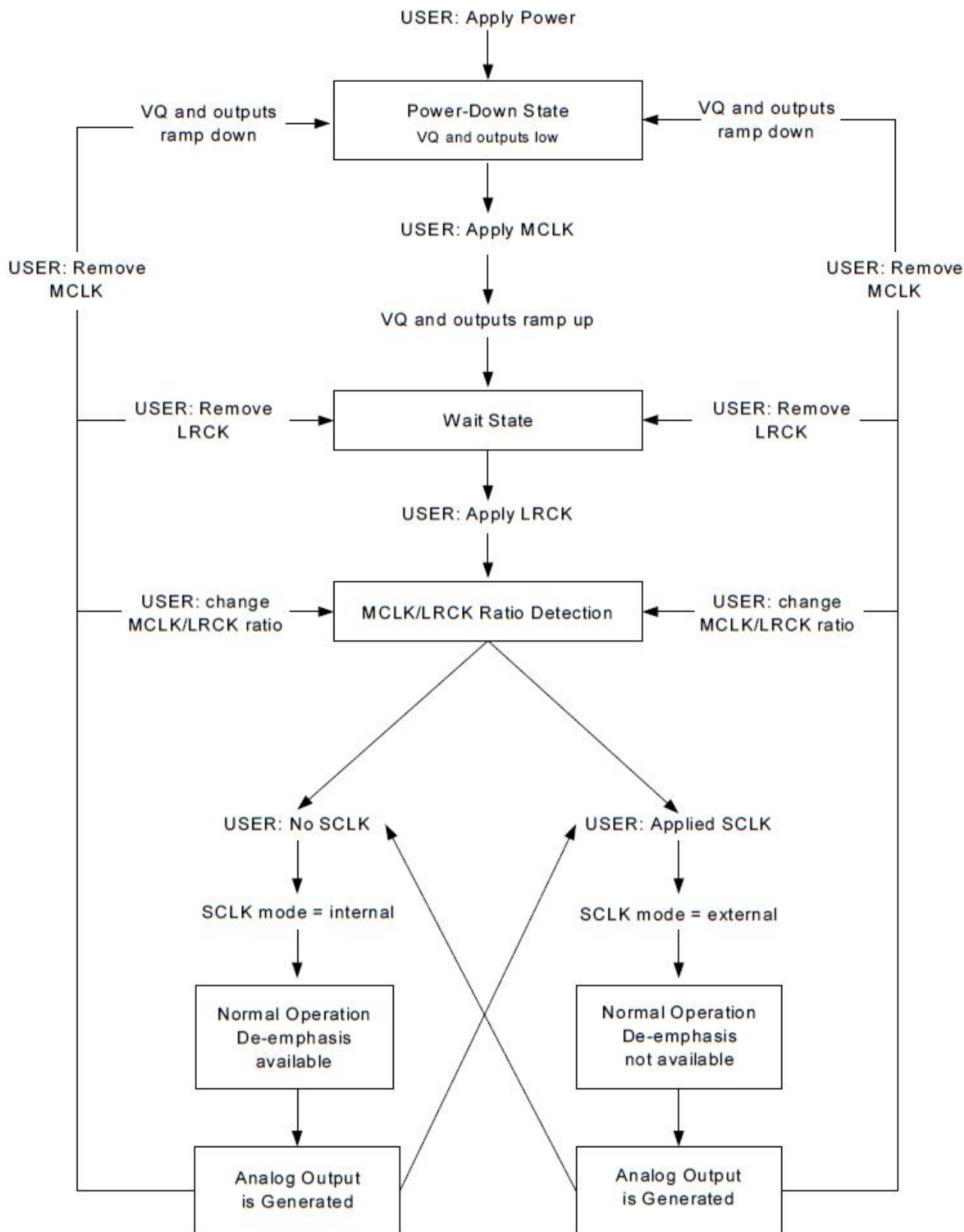
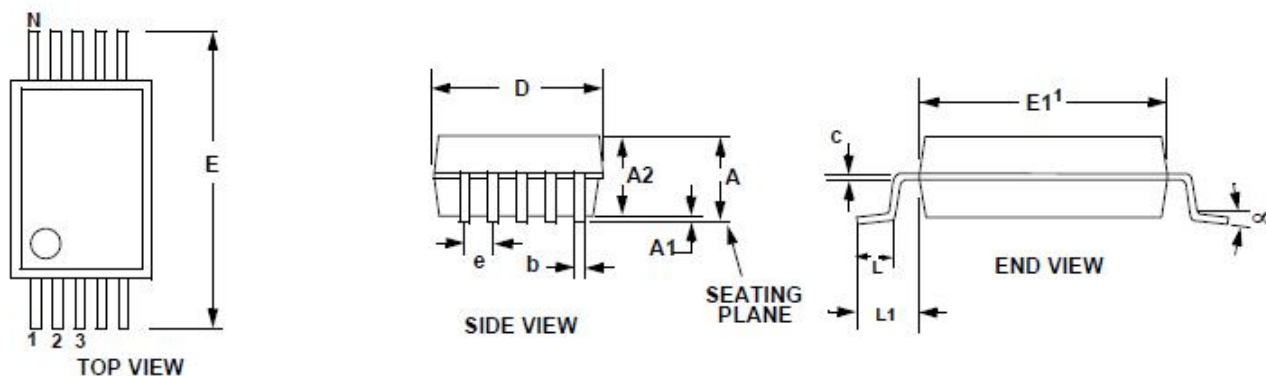


图 9. GC4344 初始化和 Power-Down 流程图

## 5 封装信息



DIM	INCHES			MILLIMETERS			NOTE
	MIN	NOM	MAX	MIN	NOM	MAX	
A	--	--	0.0433	--	--	1.10	
A1	0	--	0.0059	0	--	0.15	
A2	0.0295	--	0.0374	0.75	--	0.95	
b	0.0059	--	0.0118	0.15	--	0.30	4, 5
c	0.0031	--	0.0091	0.08	--	0.23	
D	--	0.1181 BSC	--	--	3.00 BSC	--	2
E	--	0.1929 BSC	--	--	4.90 BSC	--	
E1	--	0.1181 BSC	--	--	3.00 BSC	--	3
e	--	0.0197 BSC	--	--	0.50 BSC	--	
L	0.0157	0.0236	0.0315	0.40	0.60	0.80	
L1	--	0.0374 REF	--	--	0.95 REF	--	
$\infty$	0°	--	8°	0°	--	8°	

## 6 附录

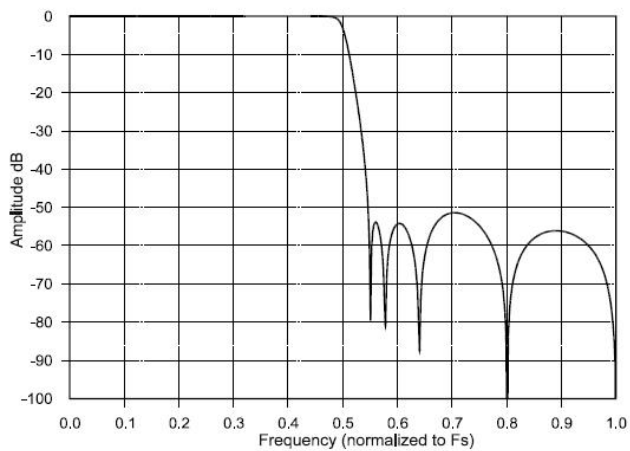


图 10. SSM 阻带衰减

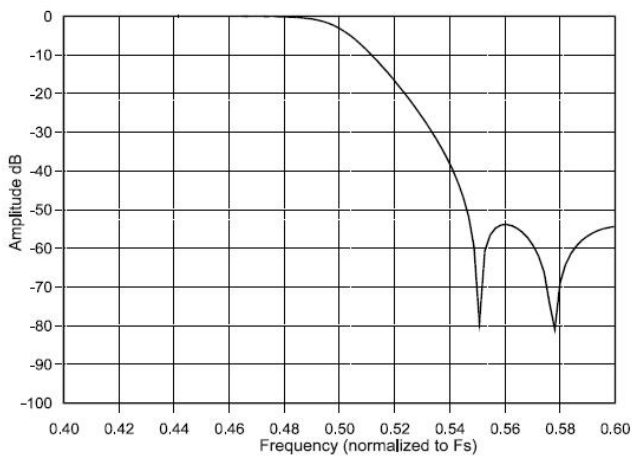


图 11. SSM 传输带宽

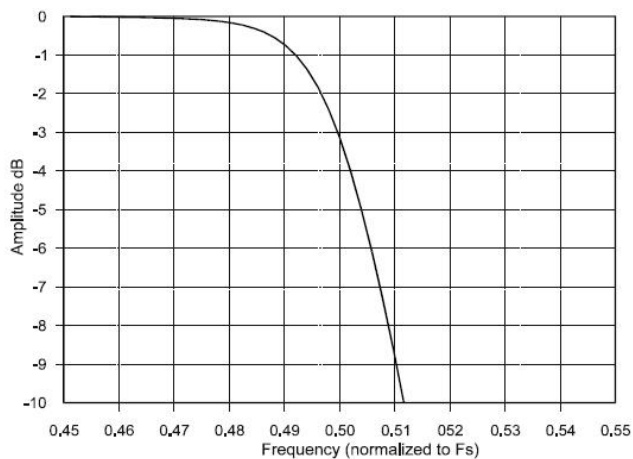


图 12. SSM 传输带宽

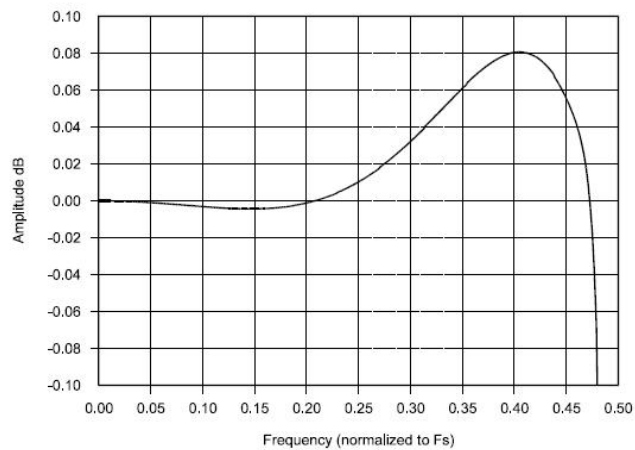


图 13. SSM 通带纹波

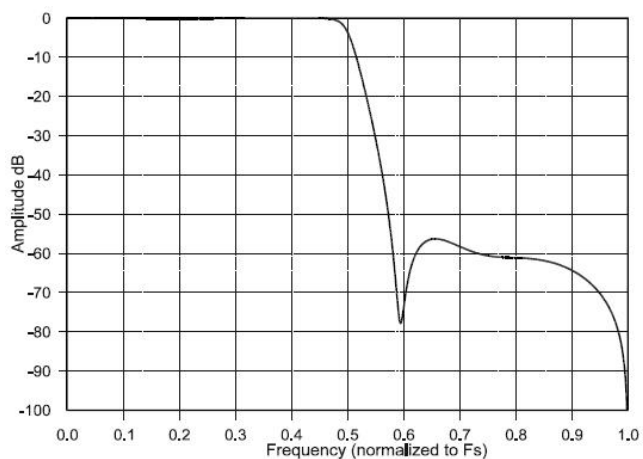


图 14. DSM 阻带衰减

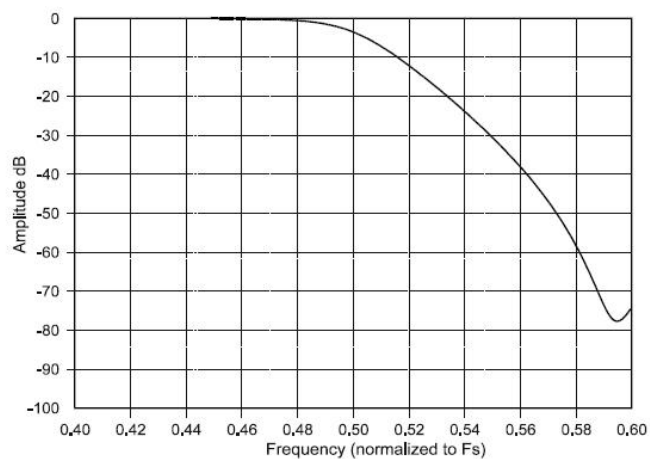


图 15. DSM 传输带宽

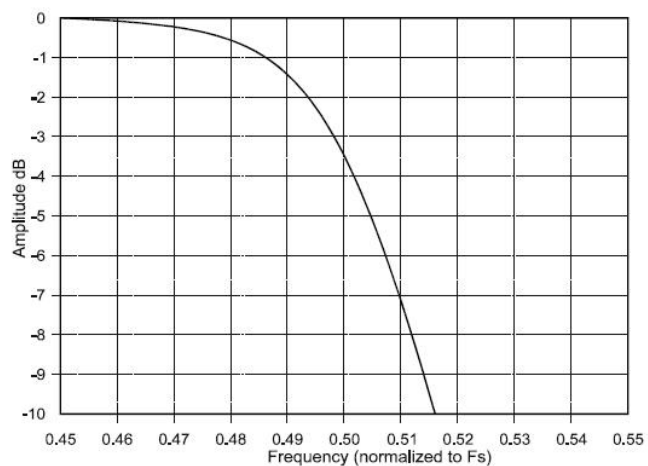


图 16. DSM 传输带宽

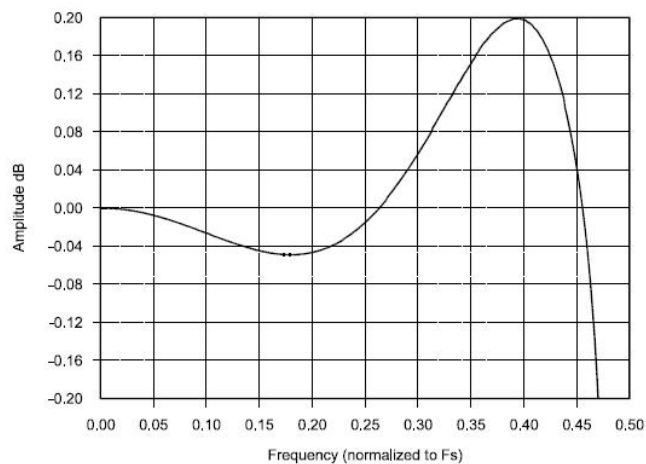


图 17. DSM 通带纹波

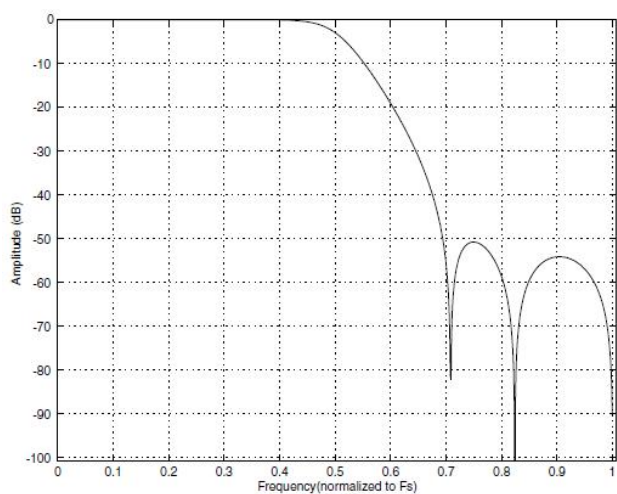


图 18. QSM 阻带衰减

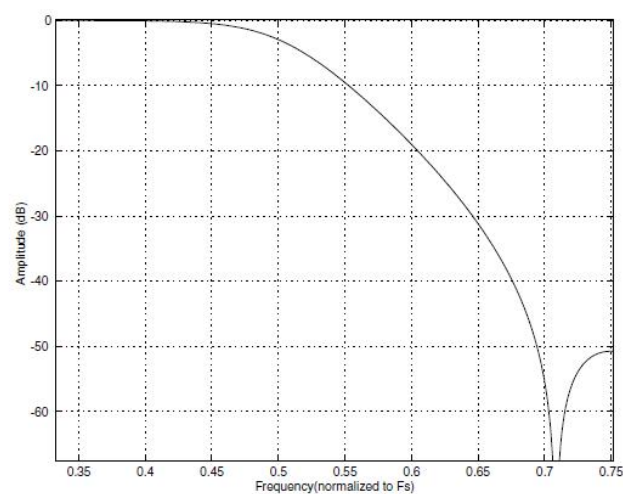


图 19. QSM 传输带宽

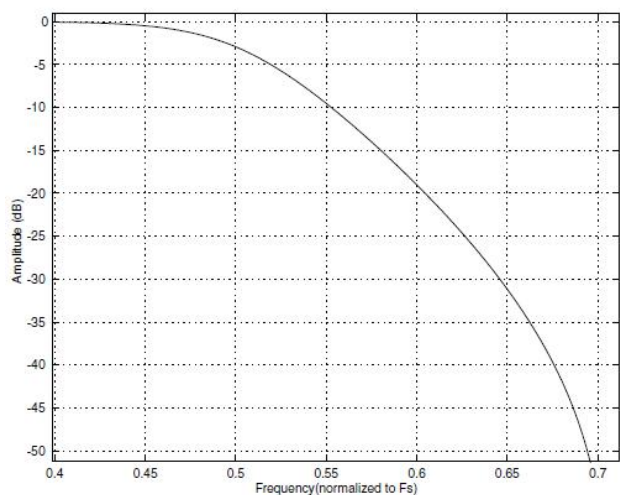


图 20. QSM 传输带宽

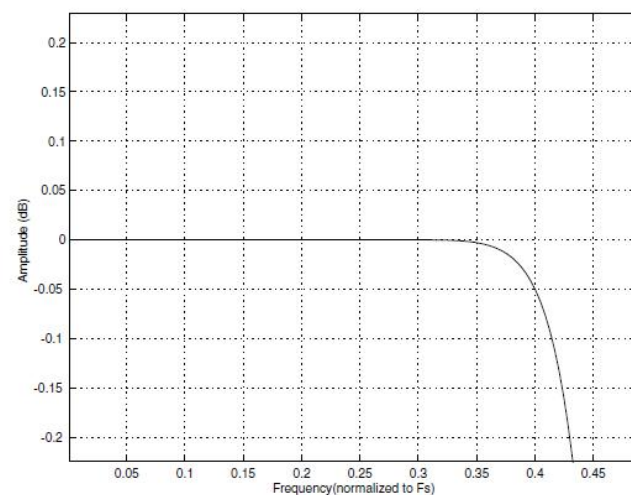


图 21. QSM 通带纹波