

192 kHz 数字音频接收芯片

概述

GC8416是一款数字音频信号的CMOS单片接收解码电路，具有八选一输入，支持IEC60958, S/PDIF, EIAJ CP1201和AES3音频接口。GC8416集成了串行数字音频输出接口，支持软件模式与硬件模式。通道状态数据存储在寄存器中，以便方便读取。GPO可以设置成不同的输出状态。内部集成锁相环可以从AES3 数据流中恢复出干净的时钟信号。

GC8416封装形式采用TSSOP28，温度支持-40°C 到 +85°C。

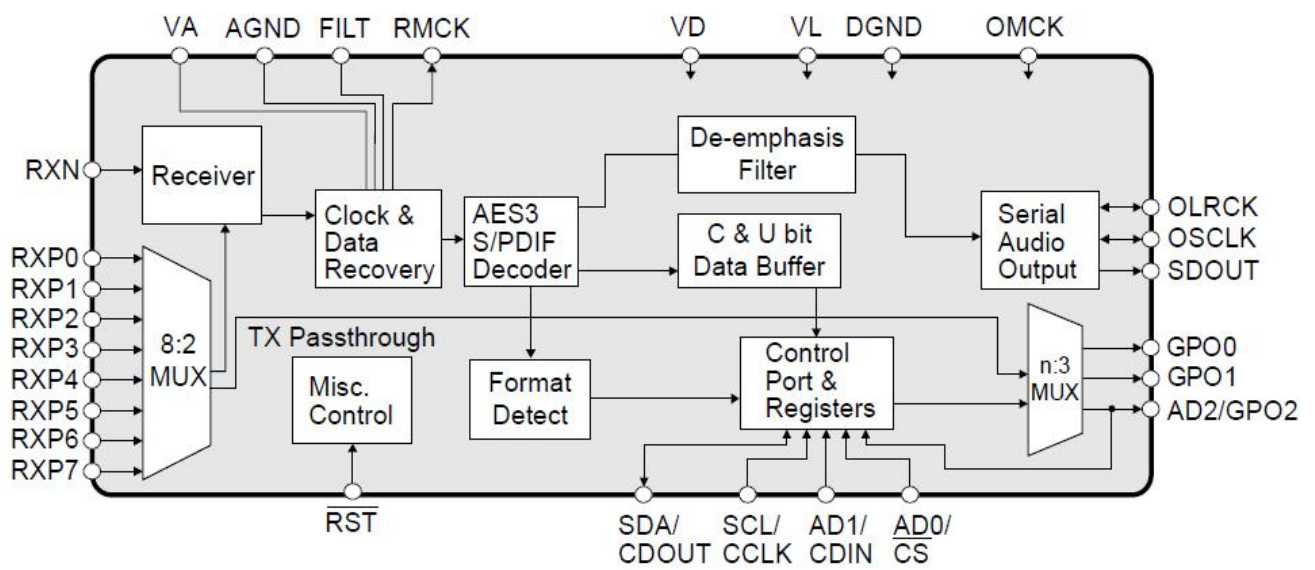
特点

- 兼容 IEC60958, S/PDIF, EIAJ CP1201 和 AES3 协议
- +3.3 V 模拟电源 (VA)
- +3.3 V 数字电源 (VD)
- +3.3 V 或 +5.0 V 数字接口电源 (VL)
- 8:2 S/PDIF输入多路选择
- 硬件模式下可选择 AES/SPDIF 输入
- 3种可编程输出管脚GPO
- 硬件模式下可选择 S/PDIF 输出到 TX
- 支持三线数字串口
- 采样频率范围：32KHz到192KHz
- 低抖动时钟恢复
- 控制器可通过 PIN 脚读取通道状态与用户数据
- 软件支持 SPI™ 和 I²C
- 支持差分输入
- 片上集成状态数据寄存器
- 自动检测压缩音频数据流
- 可解码 CD Q Sub-Code
- 有OMCK系统时钟模式

应用

- A/V 接收器
- CD-R, DVD 接收器
- 多媒体音响设备
- 数字混频
- 音频处理器
- 机顶盒
- 计算机和汽车音频系统

内部框图



1. 性能和参数

推荐工作条件

(AGND, DGND = 0 V, 所有电压参考地电位)

参 数	符 号	最小值	典型值	最大值	单 位
电源电压	VA	3.13	3.3	3.46	V
	VD	3.13	3.3	3.46	V
	VL	3.13	3.3 或 5.0	5.25	V
工作温度:					
商用级	TA	-10	-	+70	°C
车载级		-40	-	+85	

极限工作条件

参 数	符 号	最小值	最大值	单 位
电源电压	VA,VD,VL	-	6.0	V
输入电流, 除电源外的其他 PIN (注 1)	I _{in}	-	±10	mA
输入电压	V _{in}	-0.3	(VL) +0.3	V
工作温度	T _A	-55	125	°C
存储温度	T _{stg}	-65	150	°C

注:

- 100mA的瞬态电流不会引起SCR的闩锁效应。

电学参数

(AGND = DGND = 0 V; 所有电压参考地电位)

参数	符号	最小值	典型值	最大值	单位
掉电模式 (注 2, 4)					
掉电功耗	VA	IA	-	10	μA
	VD	ID	-	70	μA
	VL=3.3V	IL	-	10	μA
	VL=5.0V	IL	-	12	μA
正常工作模式 (注 3, 4)					
48KHz 采样率功耗	VA	IA	-	5.7	mA
	VD	ID	-	5.9	mA
	VL=3.3V	IL	-	2.8	mA
	VL=5.0V	IL	-	4.2	mA
192K 采样率功耗	VA	IA	-	9.4	mA
	VD	ID	-	23	mA
	VL=3.3V	IL	-	7.8	mA
	VL=5.0V	IL	-	11.8	mA

注:

- 静态模式是指 $\overline{RST} = \text{LOW}$ ，且所有时钟和数据线保持静态。
- 正常工作指 $RST = \text{HI}$ 。
- 假设无输入悬空。所有输入是在推荐电压下驱动。

数字输入特性

(AGND = DGND = 0 V; 所有电压参考地电位)

参 数	符 号	最小值	典型值	最大值	单 位
输入漏电流	I_{IN}	-	-	± 0.5	μA
差分输入灵敏度, RXP[7:0]到RXN	V_{TH}	-	150	200	mVpp
输入滞后	V_H	0.15	-	1.0	V

转换特性

(输入逻辑低电压 = 0 V, 逻辑高电压 = VL; $C_L = 20 \text{ pF}$)

参 数	符 号	最小值	典型值	最大值	单 位
\overline{RST} 低电平脉冲宽度		200	-	-	μs
PLL时钟恢复的采样速率范围		30	-	200	kHz
RMCK输出时钟抖动 (注5)		-	200	-	Ps RMS
RMCK占空比 (注6)		45	50	55	%
(注7)		50	55	65	%
RMCK/OMCK最大频率		-	-	50	MHz

注:

- 典型的 RMS 周期性抖动。
- 时钟由双相编码输入恢复后的占空比。
- OMCK 作为 RMCK 输出时的时钟占空比。

串行音频端口的转换特性

(输入逻辑低电压 = 0 V, 逻辑高电压 = VL; $C_L = 20 \text{ pF}$)

参数	符号	最小值	典型值	最大值	单位
OSCLK/OLRCK边沿到SDOUT输出有效时间 (注 8)	t_{dpd}	-	-	23	ns
主模式					
RMCK 到 OSCLK 有效沿延时 (注 8)	t_{smd}	0	-	12	ns
RMCK 到 OLRCK 延时 (注 9)	t_{lmd}	0	-	12	ns
OSCLK 和 OLRCK 占空比		-	50	-	%
从模式					
OSCLK 周期	t_{sckw}	36	-	-	ns
OSCLK 低电平宽度	t_{sckl}	14	-	-	ns
OSCLK 高电平宽度	t_{sckh}	14	-	-	ns
OSCLK 有效沿 到 OLRCK 沿时间 (注 8,9,10)	t_{lrckd}	10	-	-	ns

相对于OSCLK，OLRCK的建立时间 (注 8,9,11)	t_{lrcks}	10	-	-	ns
--------------------------------	-------------	----	---	---	----

注:

- 8.软件模式下，OSCLK 的有效沿是可编程的。
- 9.软件模式下，OLRCK 的极性是可编程的。
- 10.此延迟是为了防止将 OLRCK 变化前的 OSCLK 沿误作为第一个时钟沿。
- 11.这个建立时间是为确保OSCLK沿是OLRCK变化后的第一个时钟沿。

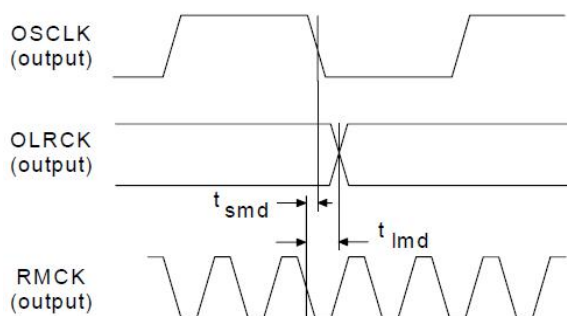


Figure 1. Audio Port Master Mode Timing

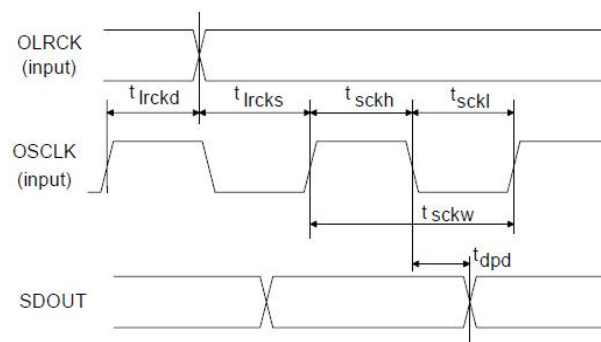


Figure 2. Audio Port Slave Mode and Data Input

转换特性 – 控制脚 - SPI 模式

(输入逻辑低电压 = 0 V, 逻辑高电压 = VL; CL = 20 pF)

参数	符号	最小值	最大值	单位
GCLK频率	f_{sck}	0	6.0	MHz
\overline{CS} 高电平的持续时间	t_{csh}	1.0	-	μ s
\overline{CS} 下降沿到GCLK上升沿时间	t_{css}	20	-	ns
GCLK低电平时间	t_{scl}	66	-	ns
GCLK高电平时间	t_{sch}	66	-	ns
CDIN的建立时间	t_{dsu}	40	-	ns
CDIN的保持时间 (注13)	t_{dh}	15	-	ns
GCLK下降沿到CDOUT稳定时间	t_{pd}	-	50	ns
CDOUT上升时间	t_{r1}	-	25	ns
CDOUT下降时间	t_{f1}	-	25	ns
GCLK和CDIN的上升时间 (注14)	t_{r2}	-	100	ns
GCLK和CDIN的下降时间 (注14)	t_{f2}	-	100	ns

注:

12. 若 F_s 小于 46.875kHz, GCLK 的最大频率必须小于 128 F_s 。这是因为读写通道状态存储需要一定时间。最大可在 6MHz 时钟速率下读写控制寄存器。由于系统所允许的最小输入采样速率为 32kHz, 所以 GCLK 须小于或等于 4.1MHz, 可保证正常的接口通信。
13. 由于 GCLK 的上升沿转换时间不为 0, 数据必须保持足够稳定的时间。
14. $f_{sck} < 1\text{MHz}$ 。

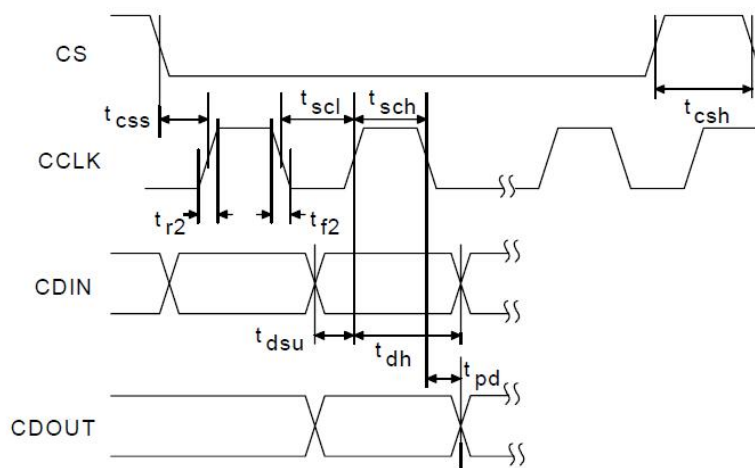


Figure 3. SPI Mode Timing

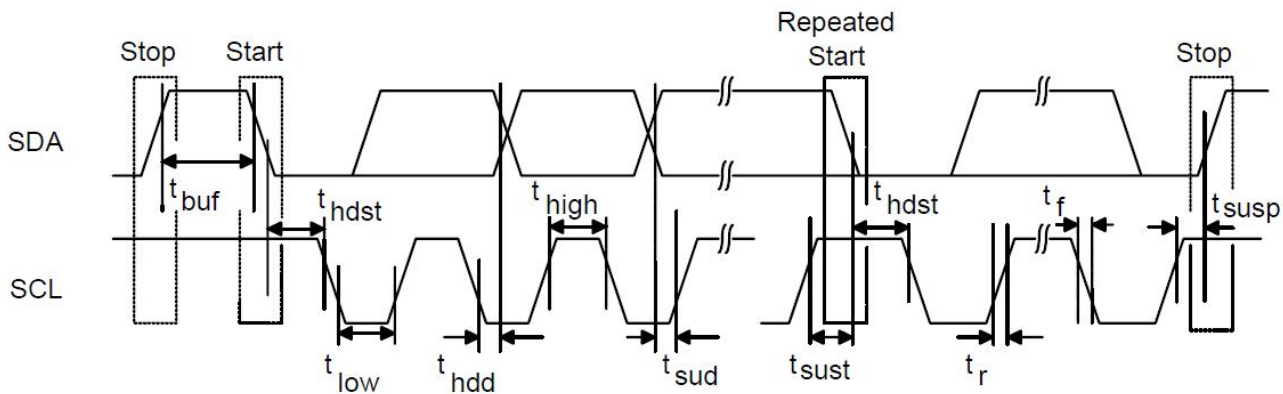
转换特性 – 控制脚- I²C 格式

(输入逻辑低电压 = 0 V, 逻辑高电压 = VL; CL = 20 pF)

参数	符号	最小值	最大值	单位
SCL时钟频率	f_{scl}	-	100	kHz
传总线输之间空闲时间	t_{buf}	4.7	-	μ s
开始条件的保持时间 (在第一个时钟脉冲之前)	t_{hdst}	4.0	-	μ s
时钟低电平时间	t_{low}	4.7	-	μ s
时钟高电平时间	t_{high}	4.0	-	μ s
开始条件的建立时间	t_{sust}	4.7	-	μ s
在SCL下降沿后的SDA保持时间 (注15)	t_{hdd}	10	-	ns
到SCL上升沿的SDA建立时间	t_{sud}	250	-	ns
SCL和SDA的上升时间	t_r	-	1000	ns
SCL和SDA的下降时间	t_f	-	300	ns
停止条件的建立时间	t_{susp}	4.7	-	μ s

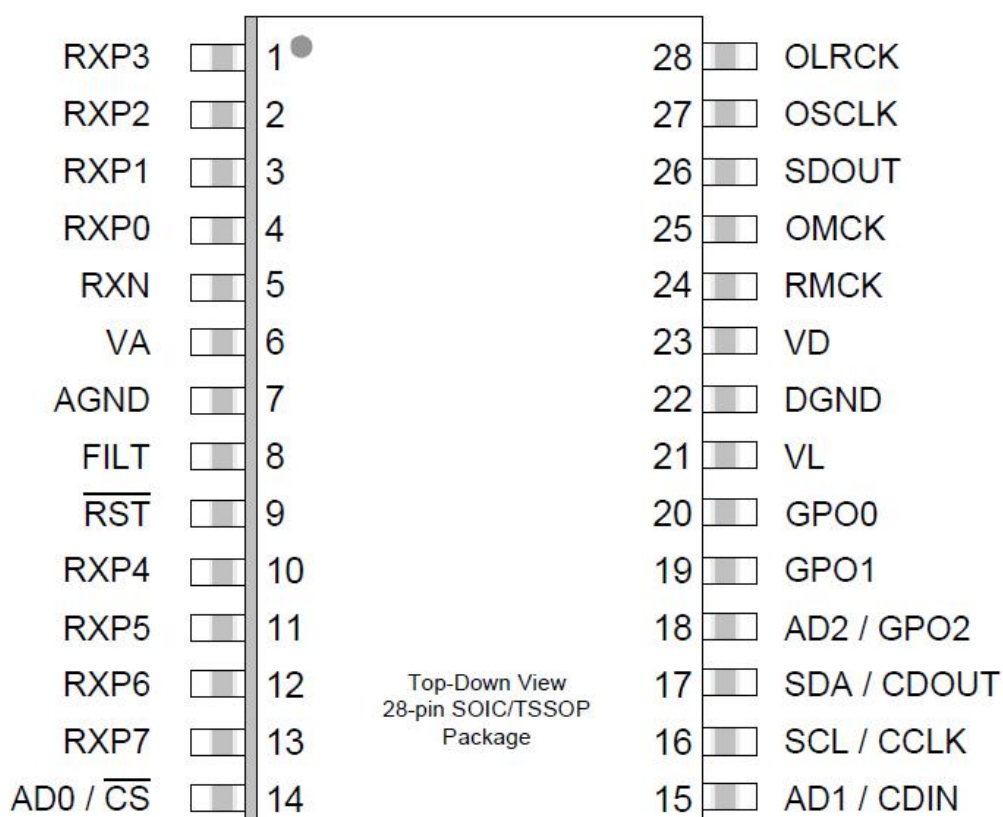
注:

15. 为了满足SCL的300ns的转换时间, 数据必须保持足够长时间。

Figure 4. I²C Mode Timing

2. 管脚描述 – 软件模式

2.1 TSSOP 封装

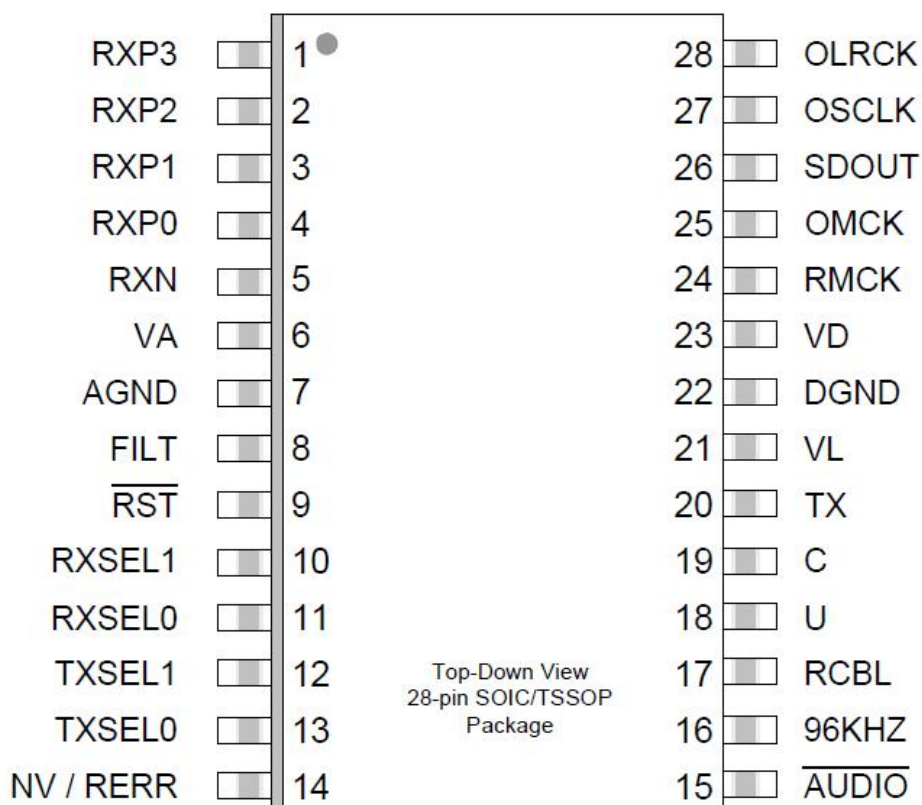


管脚	顺序	管脚描述
VA	6	模拟电源。正常+3.3V。由于噪声会引起恢复时钟的抖动，该电源噪声尽可能小。
VD	23	数字电源，正常+3.3V
VL	21	逻辑电源，正常+3.3V 或+5.0V
AGND	7	模拟地
DGND	22	数字地
\overline{RST}	9	复位输入，当 \overline{RST} 是低电平时，GC8416 进入低功耗模式，且内部复位。在上电开始时， \overline{RST} 必须保持低电平，直到电源和所有输入时钟在频率及相位上稳定。
FILT	8	PLL 滤波输出，该管脚和模拟地之间须连接一个 RC 滤波网络。

RXP0	4	AES3/SPDIF 正端输入（输入）-单端或差分接收 AES3 或 S/PDIF 编码的数据。RXP[7:0] 输入包含了 8:2 的 S/PDIF 输入多路选择器。可通过配置寄存器 04h 选择所需的通道。不使用的输入端应悬空或接 AGND。推荐电路详见 “外置 AES3/SPDIF/IEC60958 接收器部分”。
RXP1	3	
RXP2	2	
RXP3	1	
RXP4	10	
RXP5	11	
RXP6	12	
RXP7	13	
RXN	5	AES3/SPDIF 负端输入。在单端信号工作时，该管脚应该接一个电容交流耦合到地。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”。
OMCK	25	系统时钟（输入）-当设置寄存器 1 中的 SWCLK 位使能 OMCK 作为系统时钟时，若 PLL 未锁定，则时钟信号自动通过 RMCK 端输出。OMCK 作为寄存器 18h 的 OMCK/RMCK 系数表达式的参考信号。详见 “OMCK 系统时钟模式” 部分
RMCK	24	恢复后主时钟（输出），频率默认 256 倍的采样速率（Fs），通过控制寄存器 1（01h）中的 RMCKF 位可设置为 128 倍。通过控制 4 寄存器（04h）中的 RXD 位可将 RMCK 脚设为高阻态
OSCLK	27	串行音频位时钟输出
OLRCK	28	串行音频左/右通道时钟，输出的频率是采样速率（Fs）
SDOUT	26	串行音频数据输出（。在软件模式下，该管脚必须接一个 47kΩ 的上拉电阻到 VL。
SDA/ CDOUT	17	串行数据 I/O（I ² C）/数据输出（SPI）（输入/输出）-在 I ² C 模式中，SDA 是 I/O 数据线。SDA 是开漏输出，需要接一个上拉电阻到 VL。在 SPI 模式中，CDOUT 输出 GC8416 的数据。详见 “数字接口描述” 部分
SCL/ GCLK	16	串行数字接口时钟，用于串行数字接口通信。GCLK 是漏极开路输出，需要接一个上拉电阻到 VL。详见 “数字接口描述” 部分
AD0/ CS	14	地址位 0（I ² C）/片选信号（SPI），-该管脚上的一个下降沿使 GC8416 进入 SPI 模式。若没有下降沿，则 GC8416 默认为 I ² C 模式。在 I ² C 模式中，AD0 是芯片地址管脚。在 SPI 模式中， \overline{CS} 使能 GC8416 的数字接口。详见 “数字接口描述” 部分
AD1/ CDIN	15	地址位 1（I ² C）/串行控制数据输入（SPI），在 I ² C 模式中，AD1 是芯片地址管脚。在 SPI 模式中，CDIN 是数据输入管脚。详见 “数字接口描述” 部分
AD2/ GPO2	18	通用输出 2，如果使用 I ² C 模式，该管脚必须通过一个 47kΩ 的上拉或下拉电阻。GPO 功能详见 “数字接口描述” 部分和 “通用输出”
GPO1	19	通用输出 1
GPO0	20	通用输出 0

3. 管脚描述 – 硬件模式

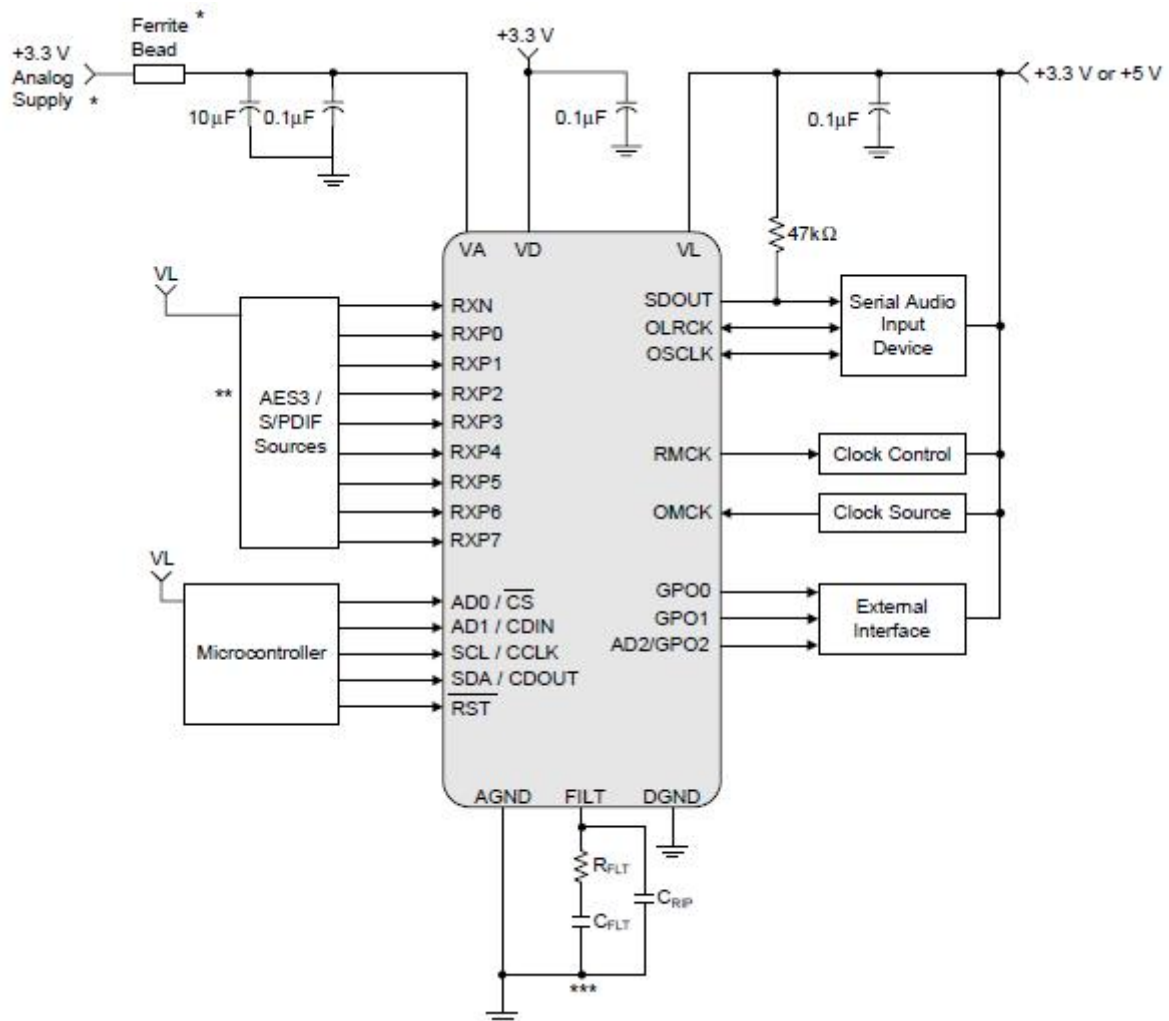
3.1 TSSOP 封装



管脚	顺序	管脚描述
VA	6	模拟电源，正常+3.3V。该电源的噪声会引起恢复时钟的抖动
VD	23	数字电源，正常+3.3V
VL	21	逻辑电源，正常+3.3V 或+5.0V
AGND	7	模拟地
DGND	22	数字地。AGND 和 DGND 必须连接在一起
\overline{RST}	9	复位管脚， \overline{RST} 是低电平时，GC8416 进入低功耗模式，复位内部状态。在上电开始时， \overline{RST} 必须保持低电平，直到电源电压和所有输入时钟在频率和相位上稳定
FILT	8	PLL 滤波输出，该管脚和模拟地之间须连接一个 RC 滤波网络。
RXP0 RXP1 RXP2 RXP3	4 3 2 1	AES3/SPDIF 正端输入(输入)-单端或差分接收 AES3 或 S/PDIF 编码的数据。RXP[7:0] 输入包含了 8:2 的 S/PDIF 输入多路选择器。可通过配置寄存器 04h 选择所需的通道。不使用的输入端应悬空或接 AGND。推荐电路详见 “外置 AES3/SPDIF/IEC60958 接收器部分”。
RXN	5	AES3/SPDIF 负端输入。在单端信号工作时，该管脚应该接一个电容交流耦合到地。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”。

OMCK	25	系统时钟（输入）-当设置寄存器 1 中的 SWCLK 位使能 OMCK 作为系统时钟时，若 PLL 未锁定，则时钟信号自动通过 RMCK 端输出。OMCK 作为寄存器 18h 的 OMCK/RMCK 系数表达式的参考信号。详见“OMCK 系统时钟模式”部分
RMCK	24	恢复后主时钟（输出），频率默认 256 倍的采样速率（Fs），通过控制寄存器 1（01h）中的 RMCKF 位可设置为 128 倍。通过控制 4 寄存器（04h）中的 RXD 位可将 RMCK 脚设为高阻态
OSCLK	27	串行音频位时钟输出
OLRCK	28	串行音频左/右通道时钟，输出的频率是采样速率（Fs）
SDOUT	26	串行音频数据输出。在软件模式下，该管脚必须接一个 47kΩ 的上拉电阻到 VL。
RXSEL1 RXSEL0	10 11	接收端多路选择器的选择端，选择 RXP[3:0]中的一路作为接收器的输入
TXSEL1 TXSEL0	12 13	发送端多路器的选择，选择 RXP[3:0]中的一路作为 TX 管脚的输出。若不使用 TX 通路，应该将它配置为一个不用的接收器输入
TX	20	S/PDIF 复用通道，在复位时，该管脚也可用来选择鉴相器的类型 PDUR。如果不使用 TX 通路，用户应设置使得 TX 输出不使用的接收器输入
NV/RERR	14	无效的接收错误/接收器错误（输出）-接收器错误显示。接一个 47kΩ 的电阻到 DGND 选择 NVERR。接一个 47kΩ 的电阻到 VL 选择 RERR。
AUDIO	15	音频通道状态位，低电平显示有效的线性 PCM 音频。详见“非音频检测”。也可在复位时用来选择串行端口格式（SFSEL1）。
96KHZ	16	96kHz 采样速率检测输出，如果采样速率小于等于 48kHz，则输出“0”。如果采样速率大于等于 88.1kHz，则输出“1”。其他情况输出未知。也可在复位时用来选择预加重音频匹配功能。
RCBL	17	接收器通道状态块输出，指出通道状态块的起始。在接收到一个 Z 头码的两帧后 RCBL 变高电平，并保持 16 帧的高电平，随后变低电平。RCBL 在 RMCK 的上升沿变化。可在复位时用来选择串行音频端的主模式或从模式。
C	19	通道状态数据输出，输出来自 AES3 接收器的通道状态数据，由 OLRCK 的上升沿和下降沿采样。也可在复位时用来选择串行端口格式（SFSEL0）。
U	18	用户数据输出，输出来自 AES3 接收器的用户数据，由 OLRCK 的上升沿和下降沿采样。也可在复位时用来选择 RMCK 的频率为 256Fs 或 128Fs。

4. 典型应用图

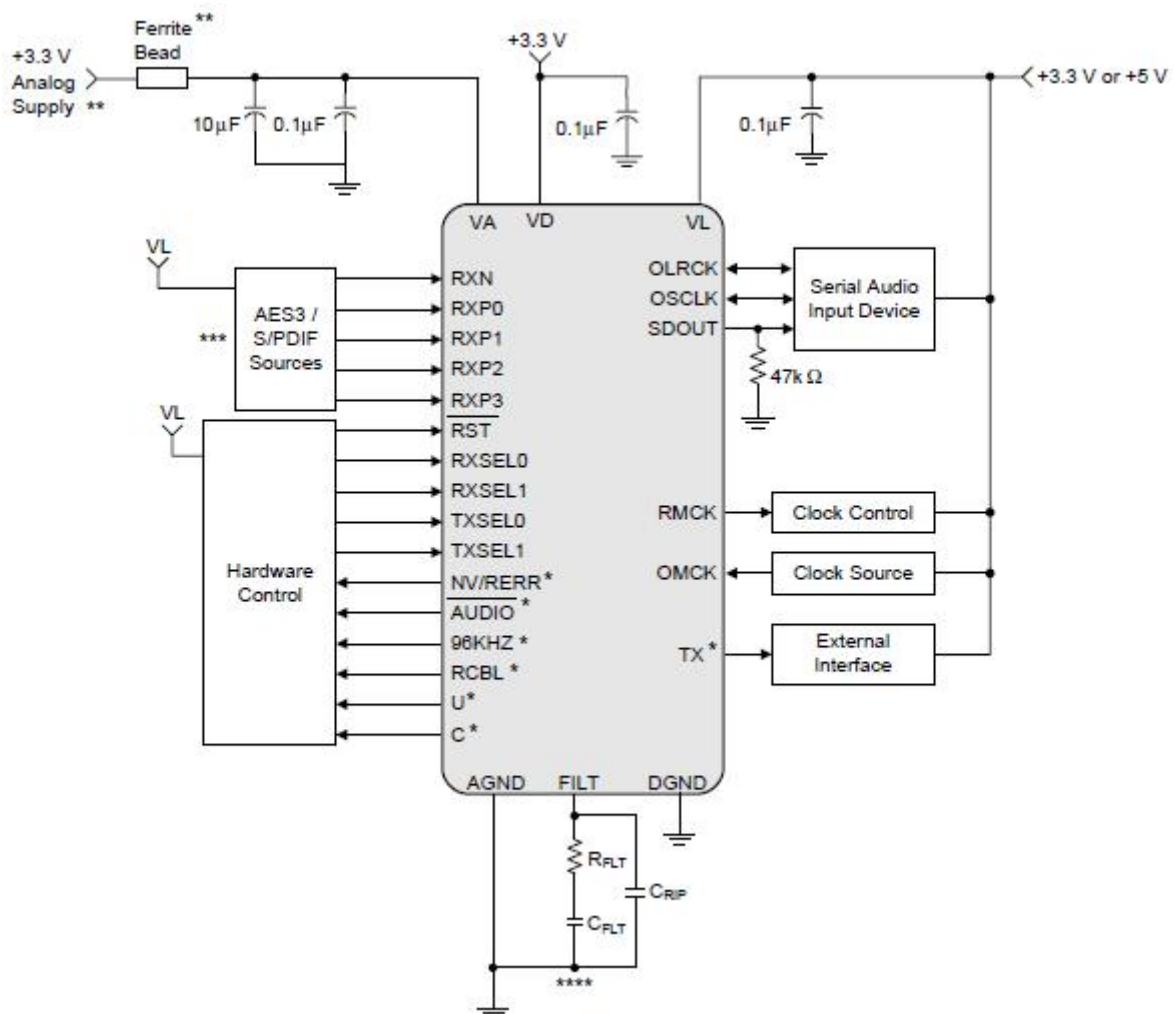


*当 RMCK 工作在对时钟抖动敏感的应用环境时，VA 需一个单独的模拟电源；当 RMCK 工作在对抖动不敏感的时，连接 VA 和 VD，并保留 VA 和 AGND 之间的去耦合电容。

**典型的输入结构和推荐的输入电路见“S/PDIF 接收器”和“外部 AES3/SPDIF/IEC60958 接收器器件”。

***为得到最佳的抖动性能，滤波器的地直接连接到 AGND 管脚。见表 6 的 PLL 滤波器值。

图 5. 软件模式典型连接图



*这些管脚必须连接一个 47kΩ 的电阻上拉到 VL 或下拉到 DGND。

*当 RMCK 工作在对时钟抖动敏感的应用环境时，VA 需一个单独的模拟电源；当 RMCK 工作在对抖动不敏感的时，连接 VA 和 VD，并保留 VA 和 AGND 之间的去耦合电容。

**典型的输入结构和推荐的输入电路见“S/PDIF 接收器”和“外部 AES3/SPDIF/IEC60958 接收器器件”。

***为得到最佳的抖动性能，滤波器的地直接连接到 AGND 管脚。见表 6 的 PLL 滤波器值。

图 6. 硬件模式典型连接图

5. 应用说明

5.1 复位, 掉电和启动

当 \overline{RST} 为低电平时, GC8416 进入低功耗模式, 内部所有的状态复位, 包括控制端口和寄存器, 且输出静音。在软件模式中, 当 \overline{RST} 为高电平时, 控制端口开始工作, 并且想要的设置配置到控制寄存器里, 当把 RUN 写为 1 时, 将使 GC8416 离开低功耗模式进入工作状态。在 PLL 建立后, 串行音频输出端开启。

GC8416 中的一些选项由启动机制控制。在复位过程中, 一些管脚被内部设置为输入。在退出复位状态的瞬间, 检测到这些管脚的电平后, 将管脚设置成输出。可以将管脚连接一个 $47k\Omega$ 的电阻连接到 VL(HI) 或 DGND(LO), 来进行模式选择。对于每种模式, 由于每个启动选择管脚没有内部的上拉或下拉电阻, 因此必须接一个外部上拉或下拉电阻(除了 TX, 它有一个内置下拉电阻)。在软件模式中, 只有 GPO2 和 SDOUT 有启动选择。GPO2 在 I²C 模式中作为芯片地址位。SDOUT 选择硬件和软件模式。

5.2 ID 码和版本码

GC8416 有一个包含 4bit 地址码的寄存器, 用来标识 GC8416 的地址。这在使用 GC84XX 系列芯片的同一个系统中很有用。

GC8416 的 4bit 版本号也有用。它允软件驱动器检测出系统中 GC8416 的版本, 可以调整它的性能。

5.3 电源, 地, 和PCB布线

对于大部分应用, GC8416 可工作在一个单独的+3.3V 电源下, 含标准电源去耦合电路(见图 5 和 6)。当 RMCK 输出时钟对抖动要求高时, 使用一个独立稳定的+3.3V 电源 VA, 且去耦合到 AGND。确保没有数字回路干扰 VA、AGND 或 FILT。

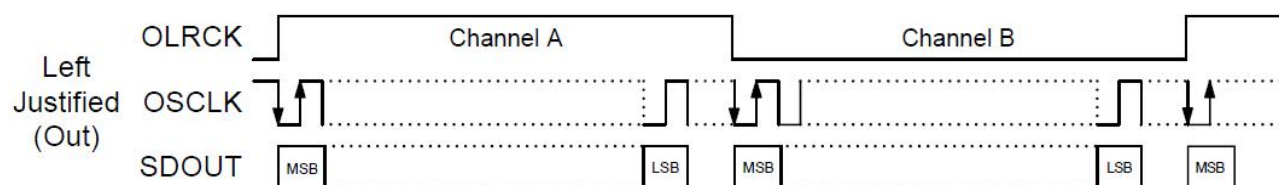
推荐在未使用区域填满地层和在表面放置去耦合电容。去耦合电容需和GC8416放置在PCB板的同一边, 使GC8416的电感效应最低, 且所有去耦合电容必须尽可能的靠近GC8416。

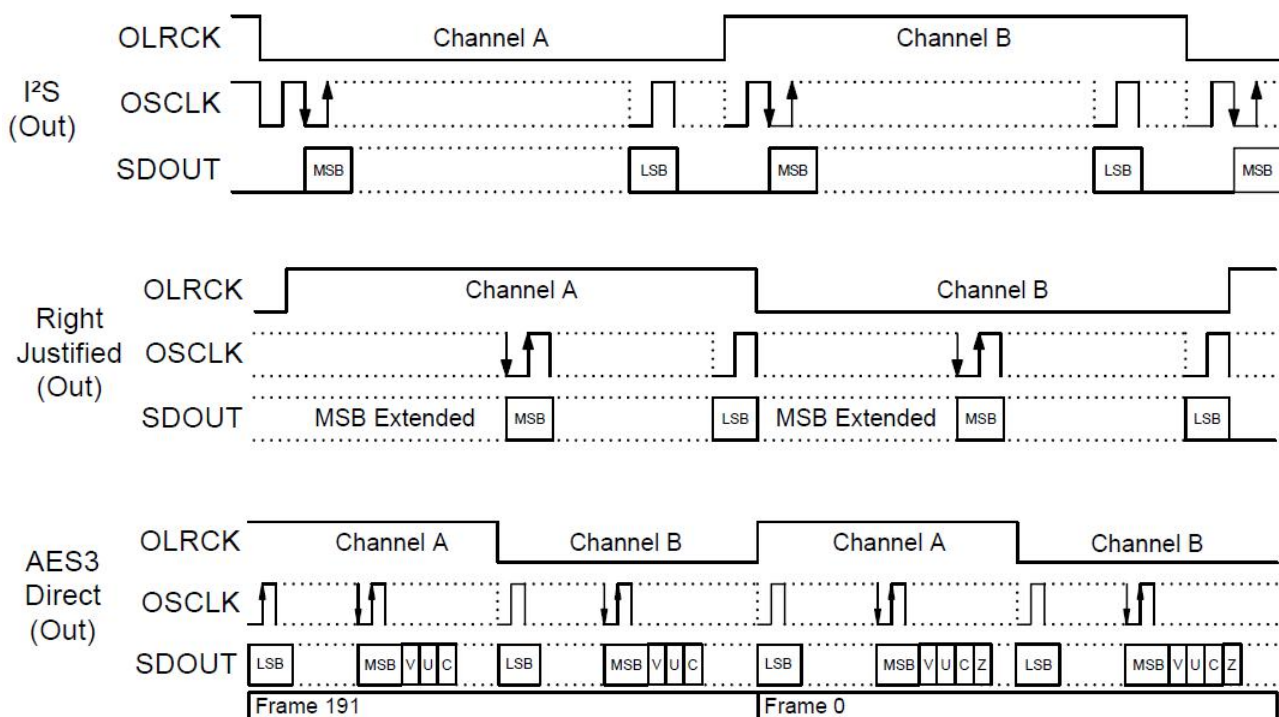
6. 串行音频输出端

GC8416 提供了 3 线串行音频输出端口。通过配置控制寄存器, 可以对端口进行配置。下列参数是可调整的: 主模式或从模式, 串行时钟频率, 音频数据的精度, 数据相对于左/右时钟可以左或右对齐, 可对第一位数据进行一个单位延迟, 位时钟极性, 左/右时钟极性。通过设置恰当的控制位, 可实现多种格式。

图 7 显示了通用输出格式的选择, 附带控制位的设置, 也包括 AES3 直接输出格式, AES3 直接输出格式允许串行输出端口读取串行音频数据流中的 V、U 和 C 位。在使用 AES3 直接输出格式时, 去加重滤波器必须关闭(见节 14.4)。Z 位代替了原奇偶校验位 P, 以表示每个数据块的开始。接收通道状态块起始信号可用于硬件模式下的 RCBL 管脚, 或软件模式下的 GPO 管脚。

在主模式下, 来源于恢复后的RMCK时钟的左/右时钟(OLRCK)和串行位时钟(OSCLK)是输出。在从模式下, OLRCK和OSCLK为输入。OLRCK通常与对应的主时钟同步, 但是如果需要, OSCLK可以是异步的、不连续的。通过调整OLRCK的相位并控制串行时钟, 多个GC8416可以共用一个串行端口。若有足够的串行时钟的以锁定所有的数据位, 则OLRCK应该是连续的, 且占空比可以小于典型值50%。在从模式下, 串行音频输出端口不能设置为右对齐模式。通过设置控制寄存器1中的MUTESAO位, GC8416允许立即静音。





	SOMS*	SOSF*	SORES[1:0]*	SOJUST*	SODEL*	SOSPOL*	SOLRPOL*
Left-Justified	X	X	XX	0	0	0	0
I²S	X	X	XX	0	1	0	1
Right-Justified	1	X	XX	1	0	0	0
AES3 Direct	X	X	11	0	0	0	0

X = 不关心值，但是格式满足要求

图 7. 串行音频数据格式

6.1 迟滞/重复行为

在从模式下使用串行音频输出端口，OLRCK 异步于输入的 AES3 数据，当反复采样或丢失采样发生时，中断位 OSLIP（中断 1 状态寄存器 ODh 中的 bit5）将会指示中断。参见图 8 的 AES3 数据格式图。

当串行输出端口工作在从模式下，根据 OLRCK 和 AES3 数据(Z/X)头码的相关频率，数据会在 GC8416 的输出上迟滞或重复输出。

在 Z/X 头码后的一个固定延时（工作在 256Fs，内部时钟的几个周期）后，电路会即时检查接收到的音频数据，检测下列情况发生，直到上一个的 Z/X 头码为止：

1.如果在那段时间内，内置数据缓冲器没有更新，则产生了一个迟滞。系统输出前一帧的数据，且 OSLIP 位被置 1。由于 OSLIP 位具有“粘性”，它将一直保持为 1 直到寄存器被读取。当另一个迟滞/重复情况发生，它将被复位。

2.如果在那段时间，内部数据缓冲器没有在两个 OLRCK 的上升沿或下降沿（依据 SOLRPOL）之间更新，则产生一个重复。在这种情况下，缓冲器数据更新两次，所以会丢失一帧数据。该事件也会使 OSLIP 位置 1。由于 OSLIP 位具有“粘性”，它将一直保持为 1 直到寄存器被读取。当另一个迟滞/重复情况发生，它将被复位。

3. 如果在那段时间，OLRCK 确有一个上升沿（SOLRPOL 置 1 情况下的下降沿），则没有迟滞或重复

发生。由于 OSLIP 位具有“粘性”，它将一直保持为 1 直到寄存器被读取。当另一个迟滞/重复情况发生，它将被复位。

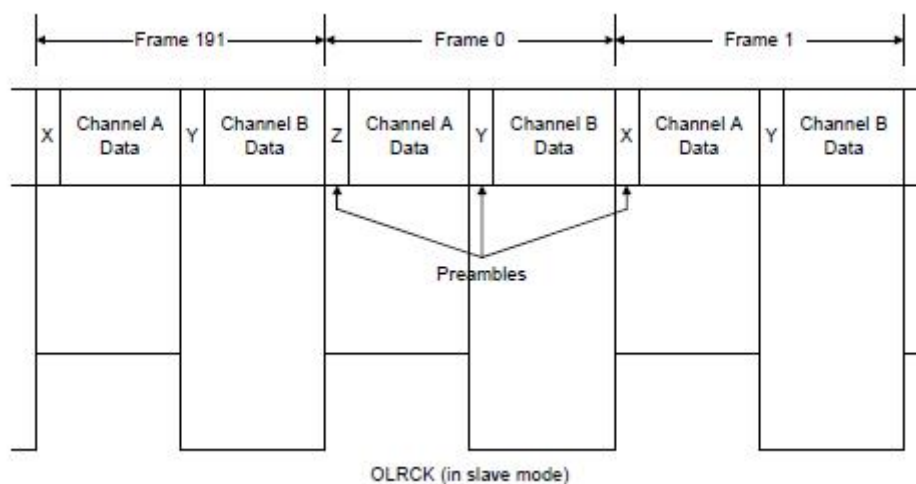


图 8. AES3 Data Format

6.2 AES11行为

当 OLRCK 作为一个主时钟时，OLRCK 的上升沿或下降沿（依据寄存器 05h 中 SOLRPOL 位的设置）从头码 X/Z 开始应该在 -1.0% ($1/F_s$) 到 1.1% ($1/F_s$) 内。在主模式下，通过器件的延时取决于采样频率。典型的延时从头码开始到在不同采样频率下的 OLRCK 有效沿的延迟的典型值见表 1。在主模式且不使用加重滤波器，音频数据的延迟是 3 帧的时间。

Fs (kHz)	Delay (ns)
32	98.0
44.1	80.5
48	78.0
64	67.0
96	57.5
192	47.0

表 1. 不同频率下的典型延时

当 OLRCK 作为一个从时钟时，任何在 OLRCK 的上升沿或下降沿（依据寄存器 05h 中 SOLRPOL 位的设置） $\pm 28\%$ ($1/F_s$) 内的同步数据输入都被视为同一时间的采样。因为在软件模式下 GC8416 无 OLRCK 控制，数据通过器件的延时是 $1/F_s$ 加上 OLRCK 和头码之间的延迟。以上这些情况都在 AES11 标准的限制范围内。

7. S/PDIF接收器

GC8416 集成了一个 AES3/SPDIF 数字音频接收电路。接收电路由模拟差分输入级、一个基于时钟恢复的 PLL 电路，和一个把音频数据从通道状态和用户数据中分离出来的解码器。外部器件用于连接输入数据线并隔离 GC8416。这些元件详细描述在“外部 AES3/SPDIF/IEC60958 接收器元件”。图 9 显示了接收电路的输入结构。

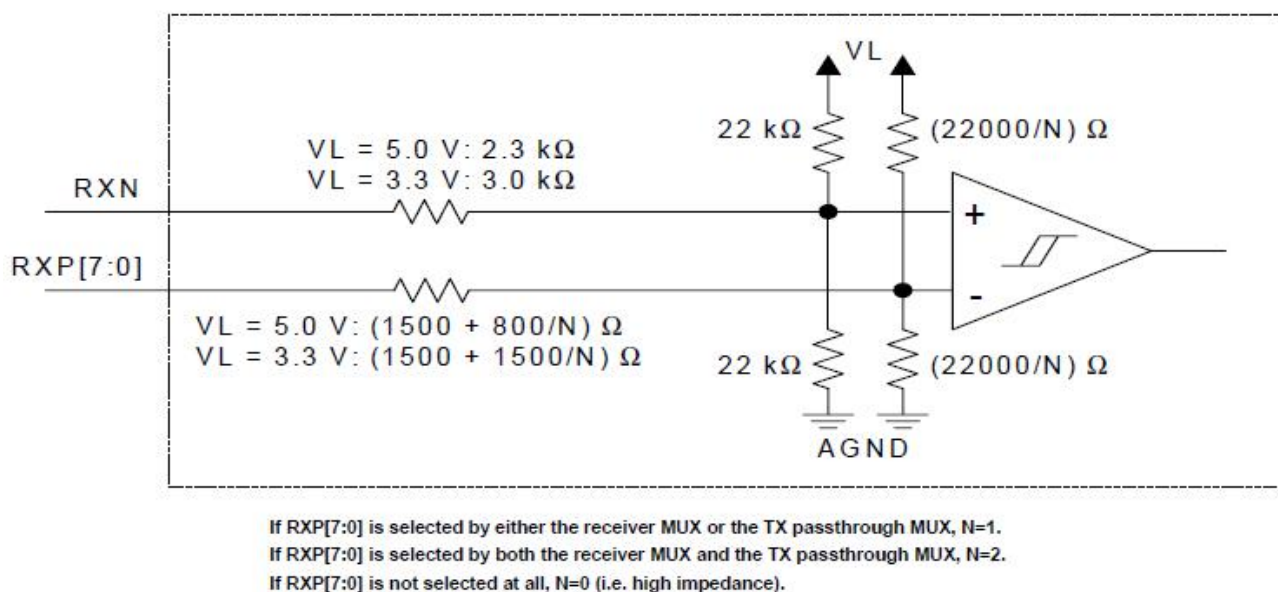


Figure 9. Receiver Input Structure

7.1 8:2 S/PDIF输入多路复用器

7.1.1 概述

GC8416 采用一个 8:2 S/PDIF 输入多路选择器，最多可接收 8 通道的输入数字音频数据。数字音频数据可以是单端或差分的。差分输入利用 RXP[7:0] 和一个共用的 RXN。单端信号通过 RXP[7:0] 输入并将 RXN 交流耦合到地。

因为输入选中时，内部被偏置到 $V_L/2$ ，所以所有到 GC8416 中 8:2 S/PDIF 输入多路选择器的有效输入都应通过一个电容耦合进入。当输入不用时应悬空。不用的多路选择器输入应悬空或接到 AGND。推荐电容值为 $0.01\mu\text{F}$ - $0.1\mu\text{F}$ 。用于交流耦合电容器的电介质推荐使用 C0G 或 X7R。

输入多路选择器的输入电压范围由 I/O 供电电压管脚 VL 确定。RXP[7:0] 和 RXN 管脚的输入电压范围也由 VL 电压确定。输入电压高于 VL 或低于 DGND 会降低性能或损坏元件。

7.1.2 软件模式

通过端口寄存器 04h 中的 RXSEL[2:0] 位可使用多路选择器的选择线。多路选择器默认为 RXP0。

多路选择器的第二输出端可以作为 GPO 管脚上的输入源。该旁路信号由控制寄存器 04h 中的 TXSEL[2:0] 选择。该单端信号被分解成轨到轨信号，且输出信号是没有去抖动的。

7.1.3 硬件模式

在硬件模式中，输入到解码器的信号由管脚 RXSEL[1:0] 选择。

在管脚 TX 上输出的旁路信号由 TXSEL[1:0] 选择。该单端信号被分解成轨到轨信号，且在输出信号是没有去抖动的。接收器和 TX 输出管脚的可选择被限制在 RXP0-RXP3。这些输入分别由 RXSEL[1:0] 和

7.2 OMCK 系统时钟模式

当 PLL 未锁定时，一个特殊的时钟切换模式允许 OMCK 输入时钟自动替换 RMCK。该功能不会在 RMCK 上产生干扰或毛刺。在硬件模式中，该功能由复位后 OMCK 管脚上的一个电平变化（上升沿有效）使能。若硬件模式下不使用该时钟切换功能，需把 OMCK 接到 DGND 或 VL。硬件模式下，一旦启用该时钟切换功能，只有复位才能关闭此功能。在软件模式，通过设置控制 1 寄存器中 SWCLK 位为“1”来启用时钟自动切换功能。另外，在软件模式，通过配置控制 0 寄存器中的 FSWCLK 位可强制 OMCK 信号输出到 RMCK 管脚上。

当串行接口工作在主模式下，当启用时钟切换功能，OSCLK 和 OLRCK 是由 OMCK 所得。启用时钟切

换且 PLL 未锁定时, OLRCK 是 OMCK/256, OSCLK 是 OMCK/4。当 PLL 失锁, VCO 的频率降到约 750kHz。若不使用系统时钟模式, PLL 没有锁定或没有到达它的稳态的空闲频率时, OSCLK 和 OLRCK 基于 VCO 输出。表 2 显示了基于时钟切换功能启打开或关闭时输出时钟的实例。

Clock Switching Enabled/Disabled	PLL Locked/Unlocked	RMCK Clock Ratio	RMCK	OSCLK	OLRCK
Disabled	Locked	$128 \cdot F_s$	6.144 MHz	3.072 MHz	48 kHz
Enabled	Locked	$128 \cdot F_s$	6.144 MHz	3.072 MHz	48 kHz
Disabled	Unlocked	$128 \cdot F_s$	~375 kHz	~187.5 kHz	~2.925 kHz
Enabled	Unlocked	$128 \cdot F_s$	11.2896 MHz	2.8224 MHz	44.1 kHz
Disabled	Locked	$256 \cdot F_s$	12.288 MHz	3.072 MHz	48 kHz
Enabled	Locked	$256 \cdot F_s$	12.288 MHz	3.072 MHz	48 kHz
Disabled	Unlocked	$256 \cdot F_s$	~750 kHz	~187.5 kHz	~2.925 kHz
Enabled	Unlocked	$256 \cdot F_s$	11.2896 MHz	2.8224 MHz	44.1 kHz

例如 OMCK = 11.2896 MHz 时, 接收输入采样速率为 48 kHz, OSCLK = $64 \cdot F_s$, FSWCLK(仅软件模式) = '0'。

表 2. 时钟转换时输出的时钟速率

7.3 时钟恢复和 PLL 滤波器

详见“PLL 滤波器”描述所推荐的元件和布局考虑。图5和6显示了构成PLL滤波器的2个电容和一个电阻的推荐配置。

8.通用输出口

3 个通用输出口 (GPO) 允许设计者灵活地配置 GC8416。14 个信号可以由 GPO 管脚输出。GPO 的输出可以通过配置控制寄存器 2 (02h) 和控制寄存器 3 (03h) 中的 GPOxSEL[3:0]。在复位后, 所有的 GPO 管脚复位后默认接地。

GPO 管脚可以设置成下列数据:

Function	Code	Definition
GND	0000	Fixed low level
EMPH	0001	State of $\overline{\text{EMPH}}$ bit in the incoming data stream.
INT	0010	CS8416 interrupt output
C	0011	Channel status bit
U	0100	User data bit
RERR	0101	Receiver Error
NVERR	0110	Non-Validity Receiver Error
RCBL	0111	Receiver Channel Status Block
96KHZ	1000	If the input sample rate is ≤ 48 kHz, outputs a "0". Outputs a "1" if the sample rate is ≥ 88.1 kHz. Otherwise the output is indeterminate.
AUDIO	1001	Non-audio indicator for decoded input stream
VLRCK	1010	Virtual LRCK. Can be used to frame the C and U output data.
TX	1011	Pass through of AES/SPDIF input selected by TXSEL[2:0] in the Control 4 register (04h)
VDD	1100	VDD fixed high level
HRMCK	1101	$F_s \times 512$ (Note 1)

1110 到 1111 是预留码

表 3. GPO 管脚配置

注:

1. 频率 25 MHz是最大值，占空比不能保证，48KHz下占空比是50%。

9. 错误和状态报告

9.1 概述

在解码输入的双相编码数据流时，GC8416可以鉴别各种错误。

9.1.1 软件模式

软件模式有灵活的读取错误指示。未屏蔽时，接收器错误寄存器（0Ch）中的位指出下列错误：

1. QCRC - Q子码数据中的CRC错误。
2. GCRC - 通道状态数据中的CRC错误。
3. UNLOCK -PLL 未锁定到输入数据流。
4. V - 数据有效位设置。
5. CONF - UNLOCK 和 BIP 逻辑或。输入数据流可能由于抖动接近错误发生的条件。
6. BIP - 双相编码错误。
7. PAR - 输入数据的奇偶校验错误。

错误位是“粘性的”，意思是一旦错误发生就会置位，这种状态会持续到用户通过控制接口读取寄存器。

这使寄存器记录了上一次读取后所有发生的未屏蔽错误。

结果是，它需要两次读取这些寄存器以查看是否仍然存在错误条件。

接收器错误屏蔽寄存器（06h）允许屏蔽单独的错误。该寄存器默认为00h，可以屏蔽接收器错误寄存器的相应位。如果屏蔽位置1，则该错误是未屏蔽的，这暗示下面情况：接收到误后，相应的接收器错误寄存器位置1，在RERR上产生一个脉冲，触发RERR中断，且根据HOLD位的状态影响当前的音频采样。

QCRC和GCRC错误是个例外，即产生错误也不会影响当前的音频采样。

HOLD位允许的选择：

- 保持先前的采样数据
- 用0替代当前采样数据（静音）
- 不改变当前的音频采样数据

9.1.2 硬件模式

在硬件模式下，用户仅可以通过对NV/RERR管脚上拉至高电平或低电平选择NVERR或RERR错误。上电时会检查管脚的上拉/下拉状态，且相应的错误位会被设置。

RERR -在当前采样如果有效位是高电平，或奇偶检查，双相编码，可靠性或PLL锁定错误产生，则保持先前的音频采样数据且通过串行音频输出口。

NVERR -在当前采样如果奇偶检查，双相编码，可靠性或PLL锁定错误产生，则保持先前的音频采样且通过串行音频输出口。

9.2 非音频检测

AES3数据流可用于传输非音频数据。因此输入的AES3数据流是否是数字音频非常重要。这个信息典型地存在通道状态位1，可以被GC8416自动检测。GC8416的AES3接收器使用自动检测系统可检测出如AC-3™或MPEG编码的非音频数据。

在硬件模式， \overline{AUDIO} 是管脚15上的输出。在软件模式， \overline{AUDIO} 通过GPO管脚输出。如果检测到非音频数据，数据仍会如同音频数据一样处理。例外是如果输入数据流是非音频数据，利用去加重自动选择功能将会略过加重滤波器。如有需要，用户可自行静音。

9.2.1 格式检测

在软件模式，GC8416可以自动检测各种串行音频输入格式。格式检测状态寄存器（0Bh）用来指示检测到的格式。如果是未压缩的PCM数据，IEC61937数据，DTS_LD数据，DTS_CD数据，或数字静音被

检测到，寄存器会指示。另外，IEC61937Pc/Pd 脉冲头码被用于寄存器 23h-26h。更多信息见寄存器描述。

9.3 中断

GC8416 有全方位的中断。软件模式下，当中断发生时，INT 信号产生中断信号且可通过 GPO 管脚输出。也可通过控制寄存器 1 (01h) 中的 INT[1:0] 位设置低电平有效、高电平有效或无上拉的晶体管低电平有效。最后一种模式用于低电平有效、线或回路、复用外设连接到微控制器的中断输入管脚。

引起中断的条件很多，在中断状态寄存器描述中列出。每个中断源可通过屏蔽寄存器位被屏蔽。此外，每个中断源可设置为上升沿，下降沿或电平敏感。结合在微控制器中的电平敏感或边沿敏感模式选项，根据需要可实现不同的配置。参考寄存器描述中的中断屏蔽 (07h)，中断模式 MSB (08h)，中断模式 LSB (09h)，和中断 1 状态 (0Dh) 寄存器。

10. 通道状态和用户数据处理

“通道状态缓冲器管理”描述了通道状态和用户数据控制。

10.1 软件模式

在软件模式下，多种选项可读取到的 AES3/SPDIF 编码流中的通道状态和用户数据。

第一种方式是直接读取寄存器。通道状态块的前 5 个字节被解码到接收器通道状态寄存器 19h-22h 中。寄存器 19h-1Dh 包含了 A 通道状态数据。寄存器 1Eh-22h 包含了 B 通道状态数据。

通过配置端口寄存器 02h 和 03h 中的 GPOxSEL，接收到的通道状态 (C)，用户位 (U)，和 \overline{EMPH} 位可在 GPO 管脚上输出。在串行端口主模式，OLRCK 和 RCBL 可用作 U 位数据输出。在串行端口从模式，VLRCK 和 RCBL 作为 U 数据输出。VLRCK 是一个虚拟的字时钟，等于接收器恢复的采样速率，VLRCK 作为 C/U 的输出的时钟。VLRCK 和 RCBL 可通过 GPO 管脚输出。图 10 阐明了 C 和 U 数据的时序以及与之相关的信号。通过设置串行音频数据格式寄存器 (05h) 中的 SORES[1:0]=11 (AES3 直接模式)，用户也可在输出数据流 (SDOUT) 中直接读取 C 和 U 位。通过外部逻辑诸如 DSP 或微控制器可从 SDOUT 信号中得到相应的位。

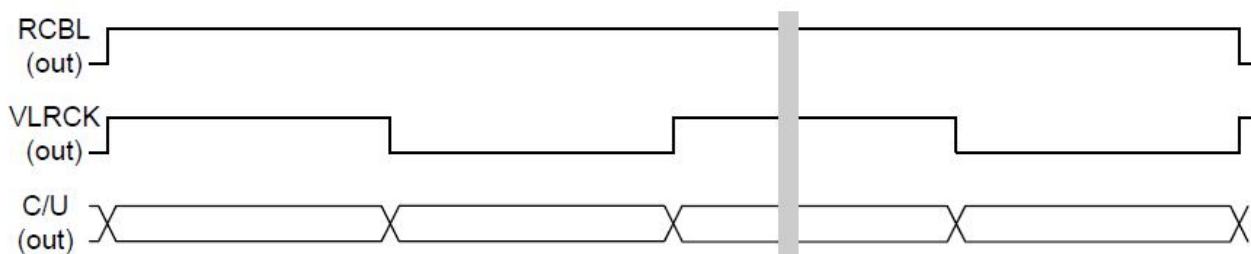
如果输入的用户数据位被编码为 Q-channel 子码，则数据通过解码，缓冲，存储到连续的 10 个寄存器中 (0Eh-17h)。一个中断可能产生，指示解码出新的 Q-channel 子码。中断可通过数字接口读取。

指示采样字长的通道状态位根据 AES3-1992 或 IEC60958 解码。接收器通道状态寄存器 (0Ah) 中的 7 到 4 位记录了辅助位长度。

10.2 硬件模式

在硬件模式，接收到的通道状态 (C)，和用户位 (U) 分别在 19 和 18 脚输出。在串行主模式，OLRCK 和 RCBL 作为 C 和 U 数据输出的时钟。图 10 说明 C 和 U 数据的时序和相关的信号。

用户也可在 \overline{AUDIO} 和 C 脚上接一个 47k Ω 的上拉电阻到 VL (AES 直接输出模式)，直接从输出数据流 (SDOUT) 中读取所有的 C 和 U 位。



- RCBL goes high 2 frames after receipt of a Z preamble and is high for 16 frames.
- VLRCK is a virtual work clock, available through the GPO pins, that can be used to frame the C/U output.
- VLRCK duty cycle is 50%. VLRCK frequency is always equal to the incoming

图 10. C/U 数据输出

11.控制管脚描述

控制端口用来读取寄存器，配置 GC8416 到所需的工作模式和数据格式。控制端口可以和音频采样速率完全异步。然而，为避免潜在的干扰问题，如果不需要任何操作控制管脚应该保持静态。

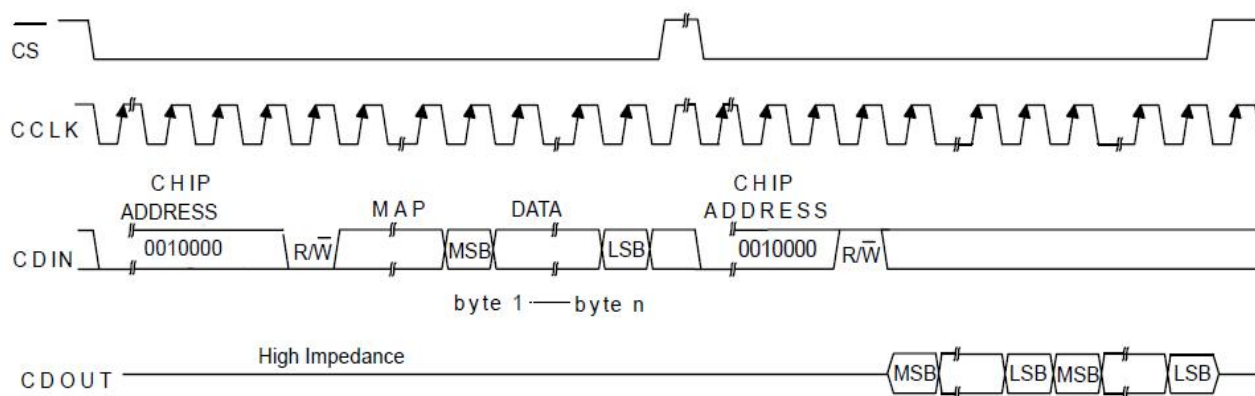
GC8416 作为一个从设备，数字接口有两种模式：SPI 和 I²C。如果 \overline{RST} 管脚被置高电平后，在 $AD0/\overline{CS}$ 管脚上有一个从高到低的变换，则选择 SPI 模式。在 $AD0/\overline{CS}$ 管脚上接一个电阻到 VL 或 DGND，则选择 I²C 模式。因此固定选择了所要的 $AD0$ 位地址状态。

11.1 SPI 模式

在 SPI 模式， \overline{CS} 是 GC8416 芯片的选择信号，GCLK 是位时钟（从微控制器输入到 GC8416），CDIN 是数据管脚，CDOUT 是输出数据管脚。数据在 GCLK 的上升沿采样输入，在下降沿输出。

图 11 显示了 SPI 模式下数字接口的操作。写寄存器时，将 \overline{CS} 由高变低。CDIN 上的起始 7 位组成了芯片地址且必须为 0010000。第 8 位是读/写 (R/\overline{W})，低电平表示写。接下来的 8 位包括 7 位的寄存器地址指针 (MAP)，所需要读写寄存器的地址。接下来的 8 位是所要存放到 MAP 指定寄存器中的数据。在写操作中，CDOUT 输出保持高阻状态。如有需要，可在外部接一个 47k Ω 的上拉或下拉电阻。

读寄存器时，写入 MAP， \overline{CS} 由高变低，发送芯片地址且设置读/写位 (R/\overline{W}) 为高，则开始读寄存器。在接下来 GCLK 的下降沿将会输出地址寄存器的最高有效位。MAP 会自动递增，因此寄存器的数据将会依次出现。



MAP = Memory Address Pointer, 8 bits, MSB first

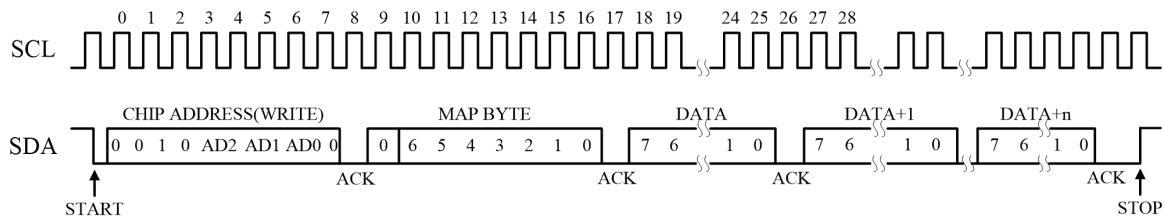
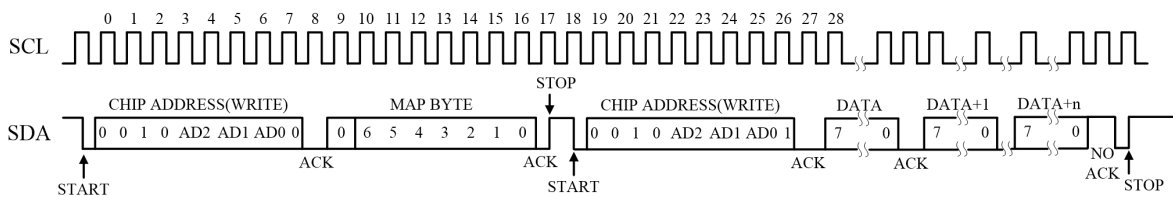
图 11. SPI 模式

11.2 I²C 模式

在 I²C 模式，SDA 是一个双向数据线，SCL 是时钟。此模式没有 \overline{CS} 管脚。管脚 $AD0$ 和 $AD1$ 形成芯片地址的两个最低有效位，GPO2 通过 47k Ω 的电阻到 VL 或 DGND 设置 $AD2$ 。在 GC8416 被复位时，会自动检测管脚状态。

图 12 和 13 分别显示了依次读和周期的信号时序。当时钟信号为高电平时，SDA 有一个下降的转变作为起始状态。时钟信号为高电平时，有一个上升转变作为结束状态。SDA 的其它所有转变都发生在时钟信号为低电平时。在起始状态后，由 7 位芯片地址和 1 位读/写位（高为读，低为写）组成的第一个字节被发送到 GC8416。7 位地址的前 4 位是固定的 0010。GC8416 的通信中，芯片地址作为第一个字节被发送到 GC8416，且 0010 后匹配设置的 $AD2$ ， $AD1$ ，和 $AD0$ 管脚。地址的第 8 位是读/写位。如果是个写操作，接下来的一个字节包含寄存器地址指针 (MAP)，用来选择的所要读或写的寄存器。如果是个读操作，将输出 MAP 所指的寄存器的内容。MAP 自动递增，寄存器的数据将会依次出现。每一个字节由一个应答位 (ACK)

分隔开。在每次输入字节读取后 GC8416 输出应答位，每一个传输的字节后微控制器发送应答位给 GC8416。注意读操作时不能设置MAP，因此需要一个终止的写操作作为一个头码。如图13所示，在作为MAP的应答后发送一个停止状态，则写操作终止。

图 12. I²C 从模式下的写时序图 13. I²C 从模式下的读时序

12. 控制管脚寄存器

Addr (HEX)	R/W	Function	7	6	5	4	3	2	1	0
00	R/W	Control0	0	FSWCLK	0	0	PDUR	TRUNC	Reserve d	Reserve d
01	R/W	Control1	SWCLK	MUTSAO	INT1	INT0	HOLD1	HOLD0	RMCKF	CHS
02	R/W	Control2	DETCI	EMPH_CN TL2	EMPH_CN TL1	EMPH_CN TL0	GPO0SE L3	GPO0SE L2	GPO0SE L1	GPO0SE L0
03	R/W	Control3	GPO1SE L3	GPO1SEL2	GPO1SEL1	GPO1SEL0	GPO2SE L3	GPO2SE L2	GPO2SE L1	GPO2SE L0
04	R/W	Control4	RUN	RXD	RXSEL2	RXSEL1	RXSEL0	TXSEL2	TXSEL1	TXSEL0
05	R/W	Serial Audio Data Format	SMOS	SOSF	SORES1	SORES0	SOJUST	SODEL	SOSPOL	SOLRPO L
06	R/W	Receiver Error Mask	0	QCRCM	GCRCM	UNLOCK M	VM	CONFM	BIPM	PARM
07	R/W	Interrupt Mask	0	PGCHM	OSLIPM	DETCM	GCHM	RERRM	QCHM	FCHM

08	R/ W	Interrupt Mode MSB	0	PGCH1	OSLIP1	DETC1	GCH1	RERR1	QCH1	FCH1
09	R/ W	Interrupt Mode LSB	0	PGCH0	OSLIP0	DETC0	GCH0	RERR0	QCH0	FCH0
0A	R	Receiver Channel Status	AUX3	AUX2	AUX1	AUX0	PRO	COPY	ORIG	EMPH
0B	R	Audio Format Detect	0	PCM	IEC61937	DTS_LD	DTS_C D	Reserve d	DGTL_ SIL	96KHZ
0C	R	Receiver Error	0	QCRC	GCRC	UNLOCK	V	CONF	BIP	PAR
0D	R	Interrupt Status	0	PGCH	OSLIP	DETC	GCH	RERR	QCH	FCH
0E	R	Q-Channel Subcode [0:7]	CONTR OL	CONTROL	CONTROL	CONTROL	ADDRE SS	ADDRE SS	ADDRE SS	ADDRE SS
0F	R	Q-Channel Subcode [8:15]	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK
10	R	Q-Channel Subcode [16:23]	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX
11	R	Q-Channel Subcode [24:31]	MINUT E	MINUTE	MINUTE	MINUTE	MINUT E	MINUT E	MINUT E	MINUT E
12	R	Q-Channel Subcode [32:39]	SECON D	SECOND	SECOND	SECOND	SECON D	SECON D	SECON D	SECON D
13	R	Q-Channel Subcode [40:47]	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME
14	R	Q-Channel Subcode [48:55]	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO
15	R	Q-Channel Subcode [56:63]	ABS MINUT E	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUT E	ABS MINUT E	ABS MINUT E	ABS MINUT E

16	R	[Q-Channel Subcode [64:71]	ABS SECON D	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECON D	ABS SECON D	ABS SECON D	ABS SECON D
17	R	Q-Channel Subcode [72:79]	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME
18	R	OMCK_R MCK Ratio	ORR7	ORR6	ORR5	ORR4	ORR3	ORR2	ORR1	ORR0
19	R	Channel A Status	AC0[7]	AC0[6]	AC0[5]	AC0[4]	AC0[3]	AC0[2]	AC0[1]	AC0[0]
1A	R	Channel A Status	AC1[7]	AC1[6]	AC1[5]	AC1[4]	AC1[3]	AC1[2]	AC1[1]	AC1[0]
1B	R	Channel A Status	AC2[7]	AC2[6]	AC2[5]	AC2[4]	AC2[3]	AC2[2]	AC2[1]	AC2[0]
1C	R	Channel A Status	AC3[7]	AC3[6]	AC3[5]	AC3[4]	AC3[3]	AC3[2]	AC3[1]	AC3[0]
1D	R	Channel A Status	AC4[7]	AC4[6]	AC4[5]	AC4[4]	AC4[3]	AC4[2]	AC4[1]	AC4[0]
1E	R	Channel B Status	BC0[7]	BC0[6]	BC0[5]	BC0[4]	BC0[3]	BC0[2]	BC0[1]	BC0[0]
1F	R	Channel B Status	BC1[7]	BC1[6]	BC1[5]	BC1[4]	BC1[3]	BC1[2]	BC1[1]	BC1[0]
20	R	Channel B Status	BC2[7]	BC2[6]	BC2[5]	BC2[4]	BC2[3]	BC2[2]	BC2[1]	BC2[0]
21	R	Channel B Status	BC3[7]	BC3[6]	BC3[5]	BC3[4]	BC3[3]	BC3[2]	BC3[1]	BC3[0]
22	R	Channel B Status	BC4[7]	BC4[6]	BC4[5]	BC4[4]	BC4[3]	BC4[2]	BC4[1]	BC4[0]
23	R	Burst Preamble PC Byte 0	PC0[7]	PC0[6]	PC0[5]	PC0[4]	PC0[3]	PC0[2]	PC0[1]	PC0[0]
24	R	Burst Preamble PC Byte 1	PC1[7]	PC1[6]	PC1[5]	PC1[4]	PC1[3]	PC1[2]	PC1[1]	PC1[0]
25	R	Burst Preamble PD Byte 0	PD0[7]	PD0[6]	PD0[5]	PD0[4]	PD0[3]	PD0[2]	PD0[1]	PD0[0]
26	R	Burst Preamble PD Byte 1	PD1[7]	PD1[6]	PD1[5]	PD1[4]	PD1[3]	PD1[2]	PD1[1]	PD1[0]
7F	R	ID & Version	ID3	ID2	ID1	ID0	VER3	VER2	VER1	VER0

13.控制寄存器描述

13.1 寄存器地址指针 (MAP)

非寄存器

7	6	5	4	3	2	1	0
0	MAP6	MAP5	MAP4	MAP3	MAP2	MAP1	MAP0

MAP[6:0] - 寄存器地址指针。在每次读写之后会自动增加。

默认 = '0000000'

13.2 控制 0 (00h)

7	6	5	4	3	2	1	0
0	FSWCLK	0	0	PDUR	TRUNC	Reserved	Reserved

FSWCLK - 强制在 RMCK 管脚上输出 OMCK 上的时钟，不论 SWCLK 位的功能或 PLL 是否锁定。

默认 = '0'

0 - 根据 SWCLK 位的功能在 RMCK 管脚上输出的 OMCK 时钟信号。

1 - 不论 SWCLK 位的功能，强制在 RMCK 管脚上输出 OMCK 上的时钟。

PDUR - 改变用于锁定 RXP[7:0]输入的鉴相器类型。仅在采样速率为 32kHz-108kHz 之间时，该位可被设置。如果在该范围外设置 PDUR 位，将可能锁定失败。

默认 = '0'

0 - 正常更新速率的鉴相器-恢复的主时钟 (RMCK) 具有低的宽带抖动，但会增加带内抖动。

1 - 高更新速率的鉴相器-恢复的主时钟 (RMCK) 具有低的带内抖动，但会增加宽带抖动。当输出接到一个 Σ - Δ 数模转换器 (DAC) 的时候，使用该设置会使性能最佳。

TRUNC - 音频数据是否由 AUX[3:0]解码后的输入通道状态数据所确定，最终的字长是 24bits 减去 AUX[3:0]。

默认 = '0'

0 - 输入的数据没有缩减。

1 - 输入的数据根据通道状态数据中指定宽度缩减。

Reserved - 这些位会根据输入的音频数据改变。

13.3 控制 1 (01h)

7	6	5	4	3	2	1	0
SWCLK	MUTESAO	INT1	INT0	HOLD1	HOLD0	RMCKF	CHS

SWCLK - 当 PLL 失锁时，OMCK 时钟决定 RMCK，OSCLK，OLRCK

默认 = '0'

0 - 自动时钟转换失效。在 PLL 未锁定时，RMCK 输出 VCO 频率 (~750kHz)。

1 - 在 PLL 未锁定时，自动时钟转换启用。在 PLL 未锁定时，OMCK 的输入时钟自动输出到 RMCK。

MUTESAO - 串行音频输出端口的静音控制

默认 = '0'

0 - SDOUT 不静音。

1 - SDOUT 静音 (全部置 0)。

INT[1:0] - 中断输出管脚 (INT) 控制

默认= '00'

00 - 高有效; 输出高电平表示中断发生。

01 - 低有效; 输出低电平表示中断发生。

10 - 漏极开路; 低有效。在 INT 管脚上需要一个外部上拉电阻。由于在 I²C 数字接口模式下需在 GPO2 管脚上接一个外部电阻来具体指定芯片地址的 AD2 位, 因此不推荐 GPO2 上多路复用 INT。

11 - 预留。

HOLD[1:0] - 定义当接收错误发生时, 如何处理接收的音频采样数据

默认= '00'

00 - 保持最后一次音频采样。

01 - 用 0 取代当前的音频采样 (静音)。

10 - 不改变接收到音频采样。

11 - 预留。

RMCKF - 恢复主时钟的频率

默认= '0'

0 - RMCK 输出的频率为 256*Fs。

1 - RMCK 输出的频率为 128*Fs。

CHS - 设置 A/B 通道中的 C 数据被解码到接收器通道状态寄存器 (0Ah)。

默认= '0'

0 - A 通道。

1 - B 通道。

如果 CHS=0 且 TRUNC=1, 两个通道的音频数据都会依据 A 通道中的通道状态数据指示的 AUX[3:0] 缩减。如果 CHS=1 且 TRUNC=1, 两个通道的音频数据都会依据 B 通道中的通道状态数据指示的 AUX[3:0] 缩减。即使 A 通道中的通道状态数据指示的 AUX[3:0] 和 B 通道中的通道状态数据指示的 AUX[3:0] 不相同。

13.4 控制 2 (02h)

7	6	5	4	3	2	1	0
DETC	EMPH_CNTL	EMPH_CNTL	EMPH_CNTL	GPO0SEL	GPO0SEL	GPO0SEL	GPO0SEL
I	2	1	0	3	2	1	0

DETC - 禁止 D 到 E 的状态传输

默认= '0'

0 - 允许更新。

1 - 禁止更新。

EMPH_CNTL[2:0] - 去加重滤波器控制。见图 14 去加重滤波器响应。

默认= '000'

000 - 如果串行音频输出端口采用 AES3 直接输出格式, 则去加重滤波器必须关闭。

001 - 设置 32kHz。

010 - 设置 44.1kHz。

011 - 设置 48kHz。

100 - 自动选择 50 μ s/15 μ s 的去加重滤波器。

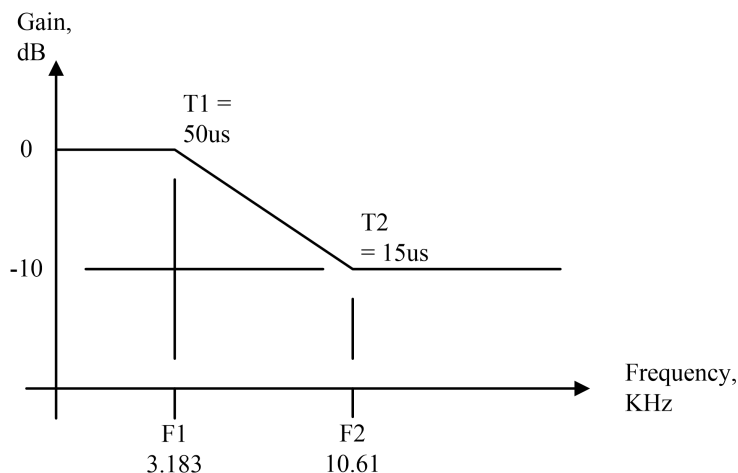


图 14. 去加重滤波器响应

GPO0SEL[3:0] - GPO0 源选择。详见“通用输出”。

默认= ‘0000’

13.5 控制 3 (03h)

7	6	5	4	3	2	1	0
GPO1SEL3	GPO1SE2	GPO1SE1	GPO1SEL0	GPO2SEL3	GPO2SEL2	GPO2SEL1	GPO2SEL0

GPO1SEL[3:0] - GPO1 源选择。详见“通用输出”。

默认= ‘0000’

GPO2SEL[3:0] - GPO2 源选择。详见“通用输出”。

默认= ‘0000’

13.6 控制 4 (04h)

7	6	5	4	3	2	1	0
RUN	RXD	RXSEL2	RXSEL1	RXSEL0	TXSEL2	TXSEL1	TXSEL0

RUN - 控制内部时钟，允许 GC8416 进入“掉电”，低功耗状态。

默认= ‘0’

0 - 停止内部时钟。内部状态复位。数字接口彻底的静态工作，允许寄存器读取或改变。低功耗。

1 - 正常工作。该位必须设 1 以允许 GC8416 开始工作。当 RUN 置 1 时，所有的输入时钟在频率和相位上必须稳定。

RXD - RMCK 控制

默认= ‘0’

0 - RMCK 输出，时钟来自输入的帧速率。

1 - RMCK 高阻态。OSCLK, OLRCK, 和 SDOUT 的输出未知。

RX_SEL[2:0] - 选择 RXP0 到 RXP7 作为接收器的输入

默认= ‘000’

000 - RXP0
001 - RXP1, 等

TX_SEL[2:0] - 选择 RXP0 到 RXP7 作为 GPO TX 源的输入

默认= '001'

000 - RXP0
001 - RXP1, 等

13.7 串行音频数据格式 (05h)

7	6	5	4	3	2	1	0
SOMS	SOSF	SORES1	SORES0	SOJUST	SODEL	SOSPOL	SOLROL

SOMS - 主/从模式选择

默认= '0'

0 - 串行音频输出端工作在从模式。OSCLK 和 OLRCK 作为输入。

1 - 串行音频输出端工作在主模式。OSCLK 和 OLRCK 作为输出。

SOSF - OSCLK 的频率 (对于主模式)

默认= '0'

0 - OSCLK 的输出频率为 $64 \cdot F_s$ 。

1 - OSCLK 的输出频率为 $128 \cdot F_s$ 。

SORES[1:0] - SDOUT 上输出数据的分辨率

默认= '00'

00 - 24 位分辨率。

01 - 20 位分辨率。

10 - 16 位分辨率。

11 - 直接复制来自 AES3 接收器接收到的 NRZ 数据包括 C, U 和 V 位。Z 位被替换为用于指示数据块的起始位。该设置强制 SOJUST 位置为 0。使用该设置需要关闭去加重滤波器。

SOJUST - SDOUT 数据相对于 OLRCK 的对齐

默认= '0'

0 - 左对齐。

1 - 右对齐 (仅在主模式且 SORES ≠ 11)。

SODEL - SDOUT 数据相对于 OLRCK 的延迟, 左对齐数据格式 (该控制仅在左对齐模式有效)

默认= '0'

0 - SDOUT 数据的最高有效位出现在 OLRCK 边沿后的第一个 OSCLK 周期。

1 - SDOUT 数据的最高有效位出现在 OLRCK 边沿后的第二个 OSCLK 周期。

SPSPOL - OSCLK 时钟极性

默认= '0'

0 - SDOUT 在 OSCLK 的上升沿采样。

1 - SDOUT 在 OSCLK 的下降沿采样。

SOLRPOL - OLRCK 时钟极性

默认= '0'

0 - 当 OLRCK 为高电平时, SDOUT 数据对左声道有效。

1 - 当 OLRCK 为高电平时, SDOUT 数据对右声道有效。

13.8 接收器错误屏蔽 (06h)

7	6	5	4	3	2	1	0
0	QCRCM	GCRCM	UNLOCKM	VM	CONFM	BIPM	PARM

该寄存器能屏蔽接收错误寄存器的相应位。如果屏蔽位被置 1, 则该不屏蔽错误, 若有错误, 则接收器错误寄存器置位, 且影响 RERR 管脚, RERR 中断, 并根据 HOLD 位设置的当前的音频采样。如果屏蔽位被置 0, 则该错误被屏蔽, 接收器错误寄存器不会置位, 不会影响 RERR 管脚, RERR 中断, 和 HOLD 位设置的当前的音频采样。GCRC 和 QCRC 位和其它位不同: 即使未屏蔽, 它们也不会影响当前的音频采样。该寄存器默认为 00h。

13.9 中断屏蔽 (07h)

7	6	5	4	3	2	1	0
0	PGCHM	OSLIPM	DETCM	GCHM	RERRM	QCHM	FCHM

该寄存器屏蔽中断状态寄存器接收中断。如果屏蔽位被置 1, 则该错误未屏蔽, 中断发生将会影响 INT 管脚和状态寄存器。如果屏蔽位被置 0, 则该错误被屏蔽, 中断发生将不会影响 INT 管脚和状态寄存器。该寄存器的位与中断状态寄存器位一一对应。该寄存器默认为 00h。

INT 信号可在 GPO 管脚输出。详见“通用输出”。

13.10 中断模式最高有效位 (08h) 和中断模式最低有效位 (09h)

7	6	5	4	3	2	1	0
0	PGCH1	OSLIP1	DETC1	GCH1	RERR1	QCH1	FCH0
0	PGCH0	OSLIP0	DETC0	GCH0	RERR0	QCH0	FCH0

这两组中断模式寄存器形成的 2 位编码作为每个中断状态寄存器的功能选择。可以设置 INT 管脚上 3 种相应的有效中断条件。在上升沿有效模式, 中断条件发生时 INT 管脚变为有效状态。在下降沿有效模式, 中断条件结束时 INT 管脚变为有效状态。在电平有效模式, 在中断条件发生过程中 INT 管脚变为有效状态。注意有效电平 (高或低) 只取决于 INT[1:0]位。该寄存器默认为 00h。

00 - 上升沿有效

01 - 下降沿有效

10 - 电平有效

11 - 预留

13.11 接收器通道状态 (0Ah)

7	6	5	4	3	2	1	0
AUX3	AUX2	AUX1	AUX0	PRO	COPY	ORIG	EMPH

该寄存器与 A 或 B 通道接收到的数据相关。通过寄存器 1 中的 CHS 位选择 A 或 B 通道。

AUX3:0 - 输入辅助数据的位宽, 由输入的通道状态位指示, 依据 IEC60958 和 AES3 解码。

0000 - 无辅助数据。

0001 - 辅助数据的长度是 1 位。

0010 - 辅助数据的长度是 2 位。

- 0011 - 辅助数据的长度是 3 位。
- 0100 - 辅助数据的长度是 4 位。
- 0101 - 辅助数据的长度是 5 位。
- 0110 - 辅助数据的长度是 6 位。
- 0111 - 辅助数据的长度是 7 位。
- 1000 - 辅助数据的长度是 8 位。
- 1001 - 1111 预留

PRO - 指出通道状态块格式

- 0 - 接收到的通道状态块是消费者格式。
- 1 - 接收到的通道状态块是专家格式。

COPY - SCMS 版权指示

- 0 - 显示版权。
- 1 - 不显示版权。如果输入的 AES3 数据流中的类别码设置为通用码，由 COPY 位指示版权，即使数据流中指示没有版权。

ORIG - SCMS 代指示，由类别码和 L 位解码。

- 0 - 接收到的数据是第一代或更高。
- 1 - 接收到的数据是原始数据

注意：如果输入数据是专用格式或接收器不使用，COPY 和 ORIG 都将被置 1。

\overline{EMPH} - 指示输入数据是否预加重。也指出在去加重自动选择模式中启动去加重滤波器。

- 0 - 表示 50 μ s/15 μ s 预加重。
- 1 - 表示无 50 μ s/15 μ s 预加重。

13.12 格式检测状态 (0Bh)

7	6	5	4	3	2	1	0
0	PCM	IEC61937	DTS_LD	DTS_CD	Reserved	DGTL_SIL	96KHZ

注意：PCM, DTS_LD, DTS_CD 和 IEC61937 是不能共存的。1 表示格式检测出。

PCM - 表示未压缩的 PCM 数据。

IEC61937 - 表示 IEC61937 数据。

DTS_LD - 表示 DTS_LD 数据。

DTS_CD - 表示 DTS_CD 数据。

Reserved - 该位的状态会根据输入的音频数据改变。

DGTL_SIL - 数字静音检测：两个通道中至少有 2047 个连续不变的 24 位音频采样。

96KHZ - 如果输入采样频率 $\leq 48\text{kHz}$ ，输出 0。如果采样速率 $\geq 88.1\text{kHz}$ ，输出 1。其他情况输出未知。

13.13 接收器错误 (0Ch)

7	6	5	4	3	2	1	0
0	QCRC	GCRC	UNLOCK	V	CONF	BIP	PAR

该寄存器包含了 AES3 接收器和 PLL 状态位。当错误发生时，未屏蔽中断位置 1，且会保持到该寄存

器被读取。除非错误源仍然存在，否则读寄存器会使所有位复位到 0。若接收器错误屏蔽寄存器中的位设置为屏蔽状态，则该寄存器一直 0。

QCRC - Q 子码数据 CRC 错误指示。在 Q-subcode 块边界更新。

0 - 无错误。

1 - 有错误。

GCRC - 通道状态块 CRC 错误指示。在通道状态数据块边界更新，在专消费者格式有效。

0 - 无错误。

1 - 有错误。

UNLOCK - PLL 锁定状态位。在通道状态数据块边界更新。

0 - PLL 锁定。

1 - PLL 未锁定。

V - 接收到的 AES3 的有效位的状态。在子帧边界更新。

0 - 数据有效，且是正常的线性编码 PCM 音频。

1 - 数据无效，或是有效的压缩音频。

CONF - 可靠性位。在子帧边界更新。

0 - 无错误。

1 - 有错误。UNLOCK 和 BIP 的逻辑或。由于抖动恶化，输入数据流可能出现错误情况。

BIP - 双相编码错误位。在子帧边界更新。

0 - 无错误。

1 - 有错误。指示在接收到的双相编码数据有错误。

PAR - 奇偶校验位。在子帧边界更新。

0 - 无错误。

1 - 有错误。

13.14 中断 1 状态 (0Dh)

7	6	5	4	3	2	1	0
0	PGCH	OSLIP	DETC	GCH	RERR	QCH	FCH

对于该寄存器中所有位，1 表示相应的中断在寄存器最后一次读取后至少发生过一次。0 表示在寄存器最后一次读取后相应的中断没有发生。除非中断源一致存在，否则读寄存器使所有位复位到 0。屏蔽寄存器设置为屏蔽状态，则该寄存器中相应的状态位一直为 0。

PGCH - PC 脉冲头码变化。

指出 PC 字节与先前的值发生变化。如果格式检测状态寄存器中的 IEC61937 位变高，即使 PC 字节未发生改变，也会引起一个 PGCH 中断。

OSLIP - 串行音频输出数据迟滞中断。

当串行音频输出端口在从模式下，OLRCK 与端口数据源异步，该位会在每次数据采样滞后或重复时变高。更多信息详见“迟滞/重复行为”。

DETC - D 到 E 的 C 缓冲器传输中断。

指出 D 到 E 的 C 缓冲器一次传输的完成。详见“通道 状态缓冲器管理”。

C_CHANGE - 指出当前的 10 字节通道状态与先前的 10 字节不同。(每个通道 5 字节)

RERR - 发生一个接收器错误。

读取接收器错误寄存器可确定引起中断的错误原因。

QCH - 一个新的 Q 子码块可用于读取。数据必须在中断发生后的 588 AES3 个帧内读取，以避免下被下一个数据块覆盖。

FCH - 格式改变：在格式检测状态寄存器中的 PCM, IEC61937, DTS_LD, DTS_CD, 或 DGTL_SIL 位由 0 变 1 时, 该位会变高, 但在格式检测状态寄存器中的这些位又 1 变 0 时, 不会产生中断。

13.15 Q 通道子码 (0Eh - 17h)

7	6	5	4	3	2	1	0
CONTTOL	CONTTOL	CONTTOL	CONTTOL	ADDRESS	ADDRESS	ADDRESS	ADDRESS
TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK
INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX
MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE
SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND
FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME
ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO
ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE
ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND
ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME

80 位 Q-subcode 中的每个字节是以最低有效位开始。因此, 地址 0Eh 的位 7 对应 Q[0], 地址 0Eh 的位 0 对应 Q[7]。相同地, 地址 17h 的位 0 对应 Q[79]。

13.16 OMCK/RMCK 比率 (18h)

7	6	5	4	3	2	1	0
ORR7	ORR6	ORR5	ORR4	ORR3	ORR2	ORR1	ORR0

该寄存器允许主机微控制器根据公式 $ORR = F_{so}/F_{si}$ 计算输入采样频率。F_{so} 由频率取决于的 OMCK (256*F_{so})。ORR 是一个无符号的 2 位整数部分加上 6 位的小数部分。其值仅在 PLL 锁定后才有意义。例如, 如果 OMCK 为 12.288MHz, 则 F_{so} 为 48kHz (48kHz=12.288MHz/256)。如果输入采样频率也是 48kHz, 则 ORR 寄存器中的值为 1.0 (ORR 寄存器中的值是十六进制的, 所有真实值是 40h)。如果 $F_{so}/F_{si} > 3 \frac{63}{64}$, 则 ORR 为 FFh。此外, ORR 中没有滞后。因此在任何时钟上的一个小抖动都会引起最低有效位 ORR[0] 的振荡。

ORR[7:6] - 比率的整数部分 (整数值=整数 (SRR[7:6]))。

ORR[5:0] - 比率的分数部分 (分数值=整数 (SRR[5:0]) /64)。

13.17 通道状态寄存器 (19h - 22h)

19h	Channel A Status Byte 0	AC0[7]	AC0[6]	AC0[5]	AC0[4]	AC0[3]	AC0[2]	AC0[1]	AC0[0]
1Ah	Channel A Status Byte 1	AC1[7]	AC1[6]	AC1[5]	AC1[4]	AC1[3]	AC1[2]	AC1[1]	AC1[0]
1Bh	Channel A Status Byte 2	AC2[7]	AC2[6]	AC2[5]	AC2[4]	AC2[3]	AC2[2]	AC2[1]	AC2[0]
1Ch	Channel A Status Byte 3	AC3[7]	AC3[6]	AC3[5]	AC3[4]	AC3[3]	AC3[2]	AC3[1]	AC3[0]
1Dh	Channel A Status Byte 4	AC4[7]	AC4[6]	AC4[5]	AC4[4]	AC4[3]	AC4[2]	AC4[1]	AC4[0]
1Eh	Channel B Status Byte 0	BC0[7]	BC0[6]	BC0[5]	BC0[4]	BC0[3]	BC0[2]	BC0[1]	BC0[0]
1Fh	Channel B Status Byte 1	BC1[7]	BC1[6]	BC1[5]	BC1[4]	BC1[3]	BC1[2]	BC1[1]	BC1[0]
20h	Channel B Status Byte 2	BC2[7]	BC2[6]	BC2[5]	BC2[4]	BC2[3]	BC2[2]	BC2[1]	BC2[0]
21h	Channel B Status Byte 3	BC3[7]	BC3[6]	BC3[5]	BC3[4]	BC3[3]	BC3[2]	BC3[1]	BC3[0]
22h	Channel B Status Byte 4	BC4[7]	BC4[6]	BC4[5]	BC4[4]	BC4[3]	BC4[2]	BC4[1]	BC4[0]

13.18 IEC61937 PC/PD 头码 (23h - 26h)

23h	Burst Preamble PC Byte 0	PC0[7]	PC0[6]	PC0[5]	PC0[4]	PC0[3]	PC0[2]	PC0[1]	PC0[0]
24h	Burst Preamble PC Byte 1	PC1[7]	PC1[6]	PC1[5]	PC1[4]	PC1[3]	PC1[2]	PC1[1]	PC1[0]
25h	Burst Preamble PD Byte 0	PD0[7]	PD0[6]	PD0[5]	PD0[4]	PD0[3]	PD0[2]	PD0[1]	PD0[0]
26h	Burst Preamble PD Byte 1	PD1[7]	PD1[6]	PD1[5]	PD1[4]	PD1[3]	PD1[2]	PD1[1]	PD1[0]

13.19 GC8416 I.D.和版本寄存器 (7Fh)

7	6	5	4	3	2	1	0
ID3	ID2	ID1	ID0	VER3	VER2	VER1	VER0

ID[3:0] - GC8416 的 ID 码。固定为 0010

VER[3:0] = 0001(版本 A)

VER[3:0] = 0010(版本 B)

VER[3:0] = 0011(版本 C)

VER[3:0] = 0111(版本 D)

VER[3:0] = 1111(版本 E)

14.硬件模式

GC8416 在硬件模式，可以没有微控制器工作。硬件模式通过在 SDOOUT 管脚上接一个 47kΩ 的下拉电阻到地。在硬件模式下，许多管脚的功能发生了改变，描述在 15.2 的“硬件模式功能选择”中。

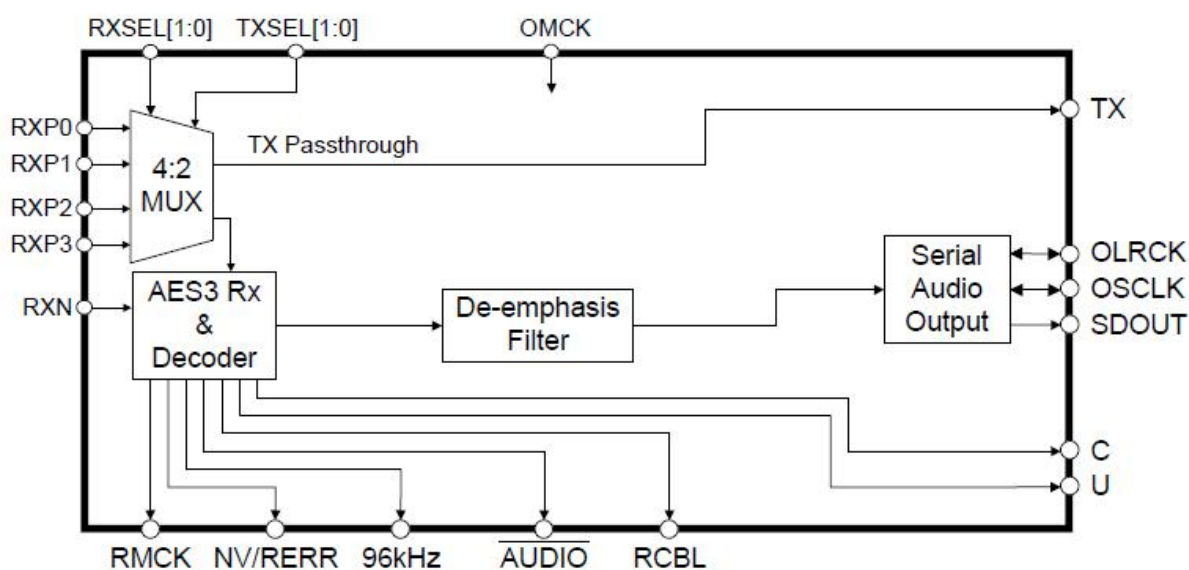
图 15 显示了硬件模式下的数据流。音频数据通过 AES3/SPDIF 接收器输入，然后发送到串行音频输出口。解码的 C 和 U 位为输出，在 OLRCK 的边沿采样（仅主模式，见图 10）。

输入音频数据中的错误会在 NV/RERR 管脚上指示。该管脚可以配置为两种模式中的一种。如果选择 NV/RERR 上拉到 VL，选择 RERR，在当前采样中，如果有效位是高、同位检查错误、双相编码错误、置信错误或 PLL 锁定错误，则保持先前的音频采样且通过串行音频输出口输出。如果使 NV/RERR 下拉到 DGND 选择 NVERR，仅同位检查错误、双相编码错误、置信错误或 PLL 锁定错误，才保持先前的音频采样。

14.1 串行音频端口格式

在硬件模式下，串行音频输出的格式有限。表 5 详细说明了每种格式的位设置。

表 4 显示了启动选项，允许选择串行音频输出口主或从模式，和串行音频端口的格式。



Power supply pins (VA, VD, and VL), AGND, DGND, the reset pin (RST) and the PLL filter pin (FILT) are omitted from the diagram. Please refer to the Typical Connection Diagram for connection details.

图 15. 硬件模式下的数据流

14.2 硬件模式功能选择

硬件模式和硬件模式的几个选项通过将 GC8416 的管脚接一个 47kΩ 电阻到 VL 或 DGND。在 \overline{RST} 信号变为高电平后系统检查这些管脚的状态。对于每一种模式，每个启动选项选择管脚（除了 TX 有内置的上拉-下拉电阻）必须接一个外置的上拉或下拉电阻。因为这些管脚没有内置的上拉或下拉电阻。

表 4. 硬件模式上电条件

端口名	下拉到 DGND 的功能	上拉到 VL 的功能
SDOUT	硬件模式	软件模式
RCBL	串行端口从模式	串行端口主模式
AUDIO	串行格式选择 1 (SFSEL1) = 0	串行格式选择 1 (SFSEL1) = 1
C	串行格式选择 0 (SFSEL1) = 0	串行格式选择 0 (SFSEL1) = 1
U	RMCK 频率为 256*Fs	RMCK 频率为 128*Fs
TX	相位检测器标准更新速率	相位检测器高更新速率
96KHZ	关闭音频加重匹配	开启音频加重匹配
NV/RERR	选择 NVERR	选择 RERR

14.3 硬件模式等效的寄存器设置

以下所列的值等效于硬件模式下寄存器的设置。

控制 0 寄存器 (00h)

FSWCLK = 0

PDUR = 复位后由 TX 管脚上拉/下拉决定。

TRUNC = 0

控制 1 寄存器 (01h)

SWCLK = 如果复位后在 OMCK 管脚上有一个转换，则设为 1。其他情况设为 0。

MUTSAO = 0

INT[1:0] = N/A

HOLD[1:0] = 00

RMCKF = 复位后由 U 管脚上拉/下拉决定。

CHS = 0

控制 2 寄存器 (02h)

DETCI = N/A

EMPH_CNTRL[2] = 复位后由 96KHZ 管脚上拉/下拉决定。见图 14 的去加重滤波器响应。

EMPH_CNTRL[1:0] = 00

GPO0SWL[3:0] = N/A

控制 3 寄存器 (03h)

GPO1SWL[3:0] = N/A

GPO2SWL[3:0] = N/A

控制 4 寄存器 (04h)

RUN = 1

RXD = 0

RX_SEL[2] = 0

RX_SEL[1:0] = RX_SEL[1:0]管脚。

TX_SEL[2] = 0

TX_SEL[1:0] = TX_SEL[1:0]管脚。

串行音频数据格式寄存器 (05h)

SOMS = 复位后由 RCBL 管脚上拉/下拉决定。

Bit[6:0] = 复位后由 *AUDIO* 和 C 管脚上拉/下拉决定。见表 5 的位设置。

表 5.硬件模式串行音频格式选择

串行格式选择[1:0]	SOSF	SORES[1:0]	SOJUST	SODEL	SOSPOL	SOLROL
00 (左对齐 24-bit)	0	00	0	0	0	0
01 (I ² S 24-bit)	0	00	0	1	0	1
10(右对齐 24-bit)	0	00	1	0	0	0
11 (AES3 直接)	0	11	0	0	0	0

接收器错误屏蔽寄存器 (06h)

QCRCM = 0

CRCM = 0

UNLOCKM = 1

CONFM = 1

BIPM = 1

PARM = 1

VM =复位后由 NV/RERR 管脚上拉/下拉决定。

寄存器 07h 到 7Fh 在硬件模式没有等效的设置。

15.外部 AES3/SPDIF/IEC60958 接收器元件

15.1 AES3接收器的外部元件

GC8416 的 AES3 接收器用于专家和消费者模式接口。专家的数字音频规格需要一个平衡的接收器，使

用带 $110\Omega \pm 20\%$ 阻抗的 XLR 连接器。XLR 连接器需有带阳极外壳的阴极管脚。由于接收器有非常高的输入阻抗，接收器的末端应放置一个 110Ω 的电阻以匹配导线阻抗，如图 16 和 17 所示。尽管 AES 没有规定变压器，但强烈推荐使用变压器。如没用变压器，则需要一个隔离电路，一个 $0.01\mu\text{F}$ 的电容应串联在每个输入管脚（RXP[7:0]和 RXN），如图 17 所示。当不使用变压器时，由于高频能量会耦合到接收器，导致模拟性能的降低。图 16 和 17 显示了一个可选择的（推荐）直流隔离电容（ $0.1\mu\text{F}$ - $0.47\mu\text{F}$ ）串联在电缆输入。如果在电缆中存在直流电压，该电容可以改善接收器的可靠性，防止变压器饱和，隔离直流电流。

在消费者情况下，需要一个阻抗为 $75\Omega \pm 5\%$ 接收器的非平衡的电路。消费者格式接口的连接器是一个 RCA 声音插口。图 18 显示了接收器电路。图 19 显示了使用消费者接口的 S/PDIF 多路选择器输入电路。在使用外置 RS422 接收器，光学接收器或其它 TTL/CMOS 逻辑输出驱动 GC8416 接收器部分时，应使用图 20 中的电路。

在系统结构中，应避免地回路和避免直流电流击穿电缆的屏蔽层是非常重要的，这会导致连接层的不同电位。

15.2 隔离变压器的要求

请参考应用注意 AN134：AES 和 SPDIF 的推荐变压器。

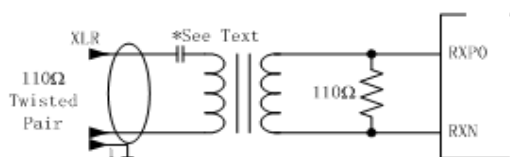


图 16. 专业格式输入电路

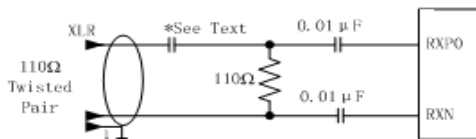


图 17. 无变压器的专业格式输入电路

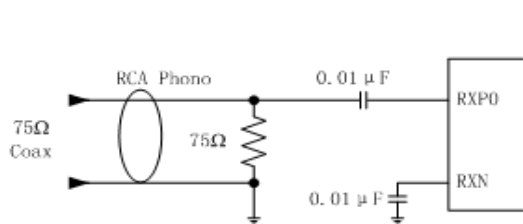


图 18. 客户格式输入电路

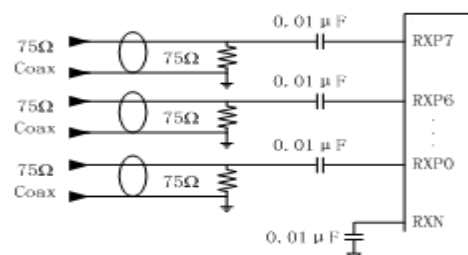


图 19. S/PDIF 多路复用器输入电路

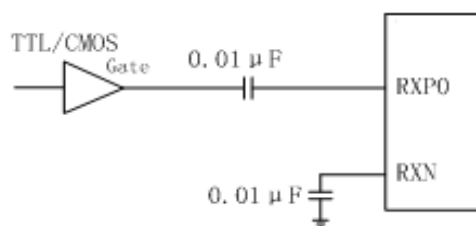


图 20. TTL/CMOS 输入电路

16. 通道状态缓冲器管理

16.1 AES3 通道状态位 (C) 处理

GC8416 包含足够的 RAM 以存储 A、B 通道的前 5 个字节（ $5 \times 2 \times 8 = 80$ bits）。用户可以通过控制端口读取 RAM 的数据。如图 21 所示，缓冲电路包括两个缓冲器 D 和 E。每个字节的最高有效位代表串行 C

数据流中的第一位。例如，字节 0 的最高有效位（寄存器地址 19h）是通道状态块 A 的消费者/专家位。第一个缓冲器（D）接收来自 AES 接收器的输入的 C 数据。第二个缓冲器（E）接收来自 D 缓冲器中的完整数据块。E 缓冲器也可以通过控制端口读取 C 数据的前 5 的字节。完整的 C 数据可通过硬件模式的 C 管脚和软件模式的 GPO 管脚获得。C 数据在 OLRCK 的上升沿和下降沿从 GC8416 串行输出。

16.2 E 缓冲器访问

用户可以通过控制端口读取 E 缓冲器的数据，其中 E 缓冲器直接映射到 GC8416 的寄存器空间。

用户可以配置中断使能寄存器，每当 D 到 E 缓冲器传输时产生中断。

在寄存器（02h）中也提供了 D 到 E 的禁止位。

图 22 显示了读取 E 缓冲器的流程。在读取后发生一个 D 到 E 的中断到下一个 D 到 E 的传输中，有一个充足的时间间隔（大约为 192 帧的时间）。这个时间是足够的在下一个传输没有被禁止时，读取 E 缓冲器的数据。

16.2.1 串行复制管理系统

在软件模式，GC8416 允许读取所有的通道状态位。在消费者模式下的 SCMS，主机的微控制器需要相应地读取和编译类型码，复制位和 L 位。

在硬件模式，使用 COPY 和 ORIG 输出管脚或 C 位串行输出管脚遵循 SCMS 协议。详见 15 节的“硬件模式”。

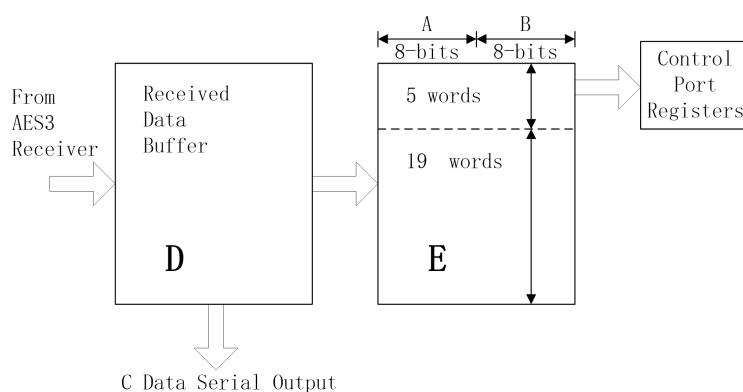


图 21.通道状态数据缓冲器结构

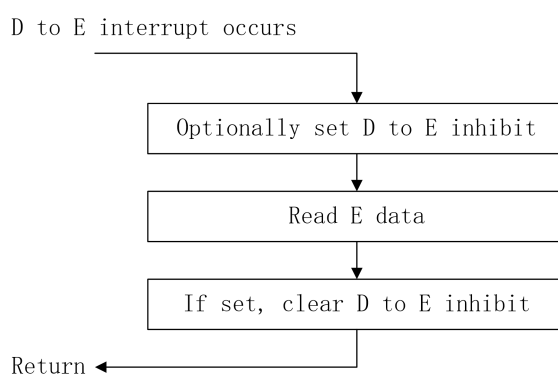


图 22. E 缓冲器的读取流程

17.PLL滤波器

17.1 概述

片上集成的锁相环（PLL）用于从输入数据流中恢复来时钟。图 23 是 PLL 的简化框图。当 PLL 锁定双相编码输入数据流时，PLL 在双相编码数据流的每个头码更新。它的频率是采样频率 F_s 的两倍。

在一些应用中，RMCK 要求低抖动时钟。PLL 被设计成具有良好的抖动衰减特性，如图 25 所示。此外，PLL 只在使用双相编码数据流的头码时（PDUR=0）才能更新 PLL 的锁定信息。因为头码不随数据改变，所以 PLL 不受数据相关抖动的影

响。在外部元件没有改变时，PLL 可以在较宽的输入采样频率范围内锁定。如果输入采样频率随后发生变化，例如在一个变速应用中，PLL 只会锁定中心频率的 $\pm 12.5\%$ 。正常中心采样频率就是 PLL 第一次在双相编码数据流锁定或在设置 RUN 控制位使能 GC8416 的时钟后的采样频率。如果超出 12.5% 的采样频率限制，PLL 就会回到宽锁定范围模式且重新获得一个新的中心采样频率。

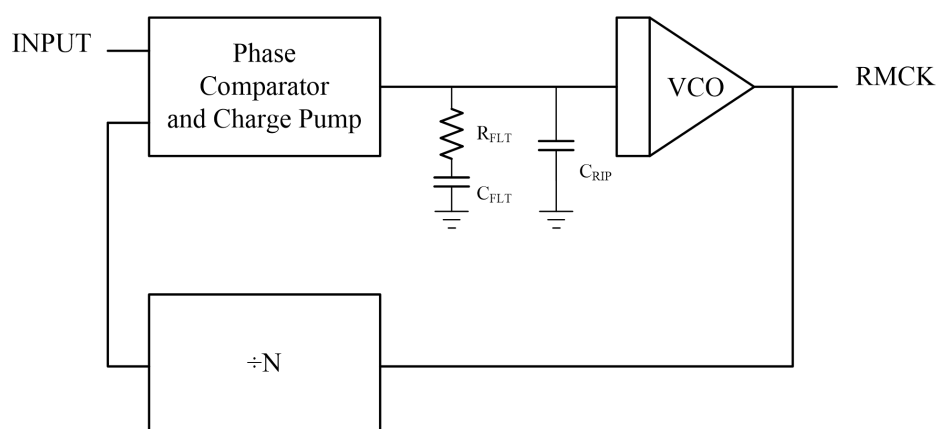


图 23.PLL 框图

17.2 外部滤波元件

17.2.1 概述

PLL 的性能受外部滤波元件的影响。图 5 和图 6 显示推荐的 2 个电容和 1 个电阻组成 PLL 滤波器的结构。在表 6 中，器件值表示了有高拐点频率的抖动衰减曲线，短时间锁定，且提供了良好的输出抖动性能。锁定时间是最坏情况下 192kHz 的一个 F_{si} 转变时间。

把 PLL 的 FLT 管脚视为低电平模拟输入是非常重要的。建议 PLL 滤波器的地端直接与 AGND 管脚连接到一个单独的地。

17.2.2 电容选择

电容类型对 PLL 性能很重要。引线 and 所需的电路板长连接线增加了电路电感，最好采用贴片电容，推荐选择贴片陶瓷电容。对于 C_{PIP} 电容,推荐使用 C0G 或者 NPO 电介质，对于 C_{FLT} 电容，优先选择 X7R 电介质。避免使用具有高温系数或高电介质常数的电容，包括 Z5U 和 Y5V 电介质。

17.2.3 电路板的布局

电路板布局和电容选择两者互相影响，且决定了 PLL 的性能。图 24 是一种推荐布局。0.1 μ F 旁路电容具有 1206 形式的系数。R_{FLT}，C_{FLT}，C_{RIP}，1000pF 的去耦合电容具有 0805 形式的系数。连接线在电路板的顶层表面，因此没有通路电感。非常短的连接线使得滤波器通路中的电感减到最小值。VA 和 AGND 的连接线向后延长到各自的起点，且在电路板中只显示为截断的形式。

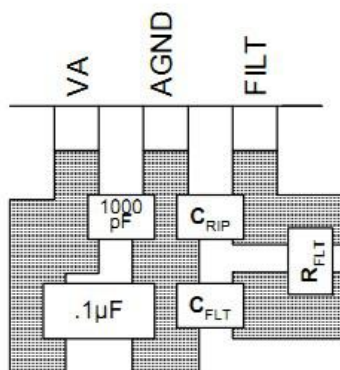


图 24.布局推荐示例

17.2.4 器件选择

表 8 列出了 PLL 外部器件值。

表 6.PLL 外部器件值

范围 (kHz)	R_{FLT}	C_{FLT}	C_{RIP}	稳定时间
32 - 192	3k Ω	22nF	1nF	4ms

17.2.5 抖动衰减

图 25 是抖动衰减曲线图。AES3 和 IEC60958-4 协议规定了最大 2dB 的抖动增益或脉冲尖峰。

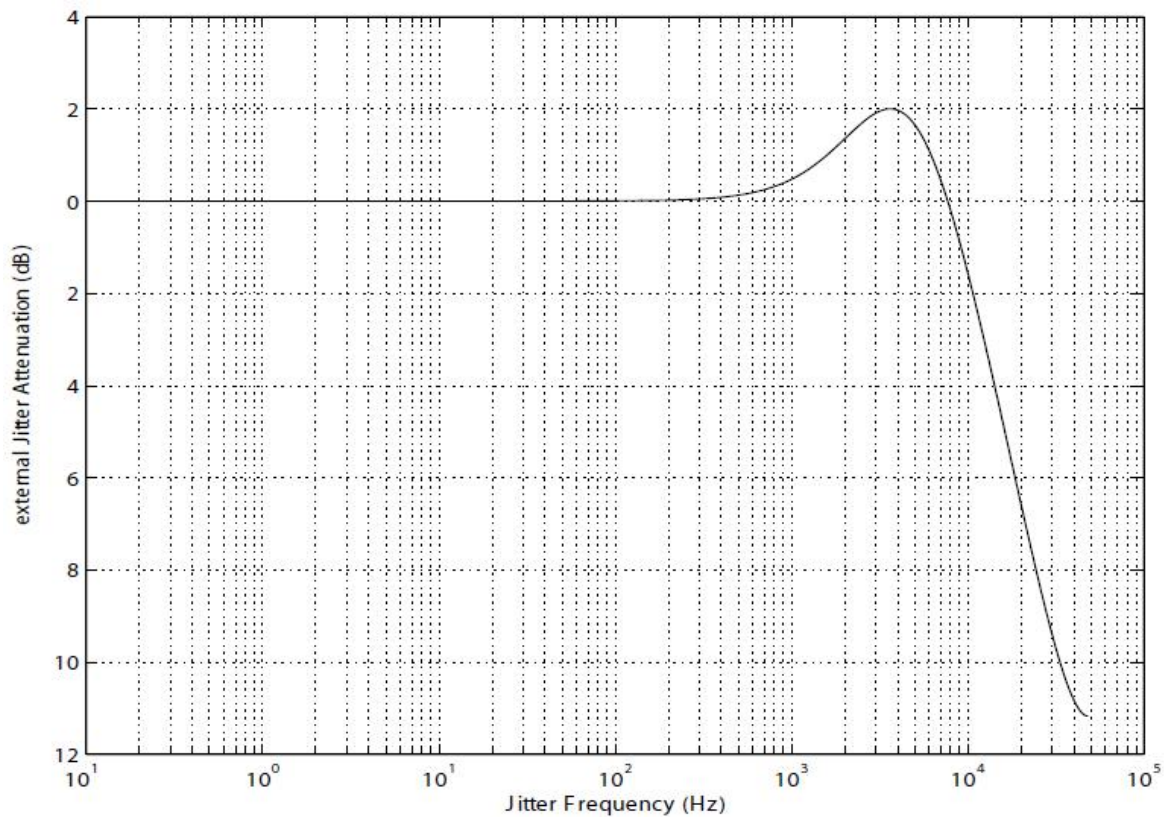
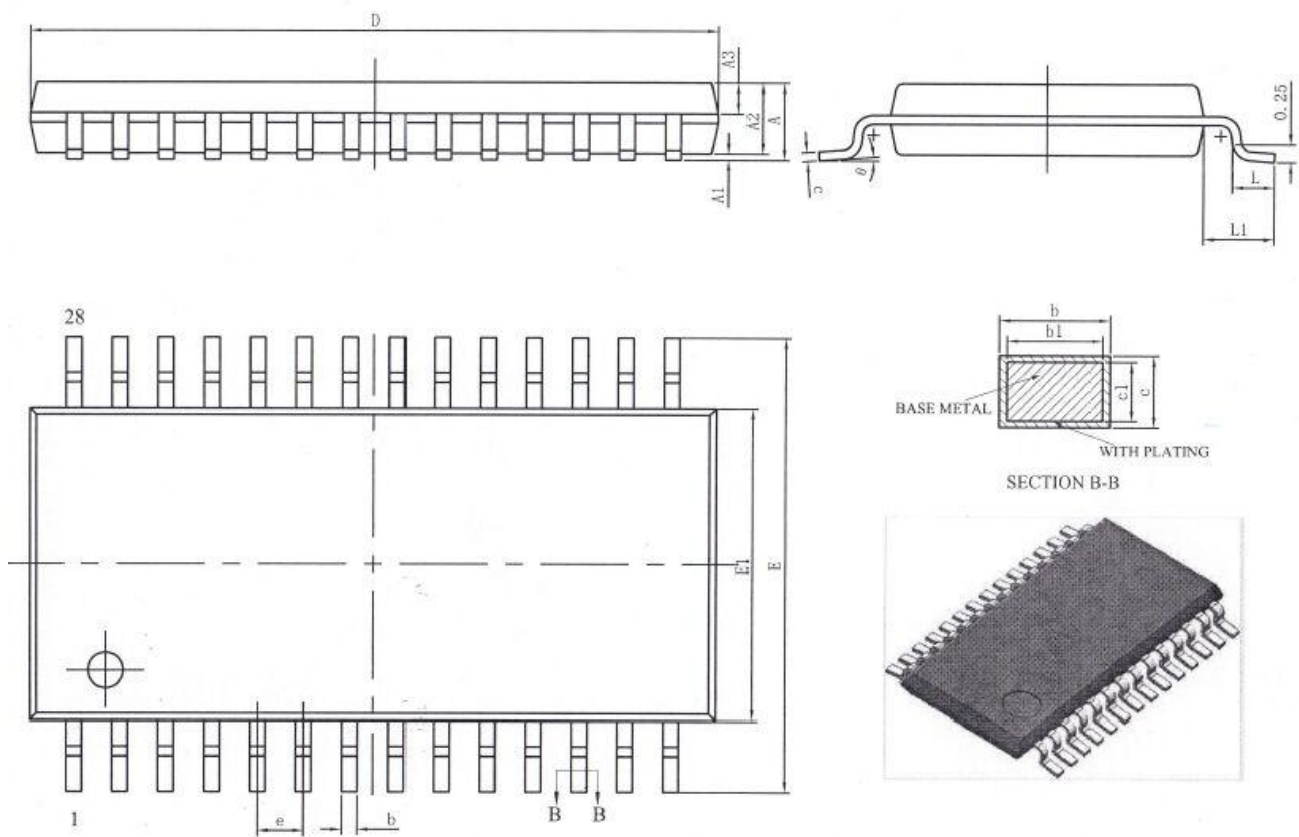


图 25.PLL 的抖动衰减特性曲线

18.封装尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.20
A1	0.05	—	0.15
A2	0.80	—	1.00
A3	0.39	0.44	0.49
b	0.20	—	0.29
b1	0.19	0.22	0.25
c	0.14	—	0.18
c1	0.12	0.13	0.14
D	9.60	9.70	9.80
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65BSC		
L	0.45	0.60	0.75
L1	1.00BSC		
θ	0	—	8°